

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年7月22日 (22.07.2004)

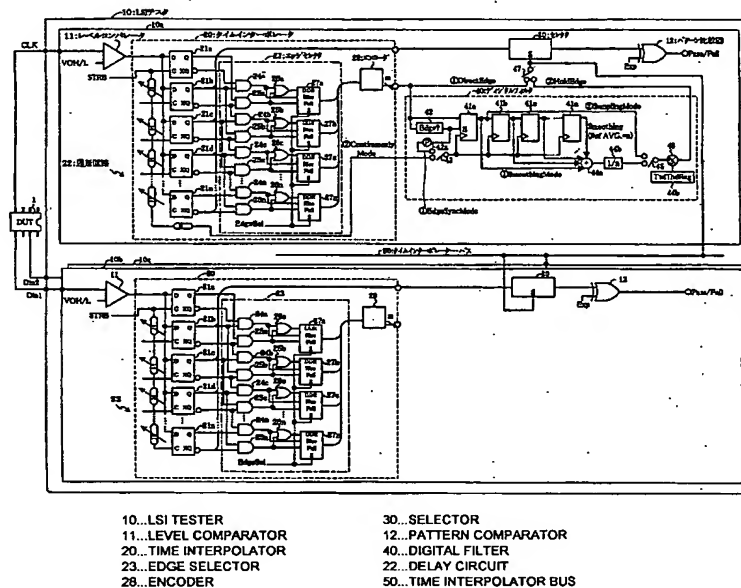
PCT

(10) 国際公開番号  
WO 2004/061465 A1

- (51) 国際特許分類: G01R 31/3181 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 大島 英幸 (OS-HIMA, Hideyuki) [JP/JP]; 〒179-0071 東京都練馬区旭町1丁目3番1号 株式会社アドバンテスト内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/016900
- (22) 国際出願日: 2003年12月26日 (26.12.2003)
- (25) 国際出願の言語: 日本語 (74) 代理人: 渡辺 喜平 (WATANABE, Kihei); 〒101-0041 東京都千代田区神田須田町一丁目2番 芝信神田ビル3階 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (81) 指定国 (国内): CN, DE, JP, KR, US.  
特願 2002-381785  
2002年12月27日 (27.12.2002) JP 添付公開書類:  
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒179-0071 東京都練馬区旭町1丁目3番1号 Tokyo (JP).
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR TEST DEVICE

(54) 発明の名称: 半導体試験装置



(57) Abstract: At an edge timing of a system clock output from a DUT, a recovery clock synchronized with the internal clock having a higher speed than the system clock is acquired. A semiconductor test device includes: flip-flops (21a to 21n) for inputting the system clock of DUT1; a delay circuit (22) for successively inputting a strobe delayed by a predetermined timing interval to an FF (21) and outputting the time-series level data; a time interpolator (20) having an encoder (28) for inputting the time-series level data output from the FF (21) and encoding it to position data indicating the edge timing; and a plurality of registers (41a to 41n) for successively storing position data from the encoder (28) and outputting it at a predetermined timing. The semiconductor test device further includes: a digital filter (40) for outputting the position data from the register (41) as a recovery clock and a data side selector (30) for selecting output data from the DUT1 by using the recovery clock as a selection signal.

[続葉有]



(57) 要約: DUTから出力されるシステムクロックのエッジタイミングで、システムクロックより高速の内部クロックに同期したリカバリクロックを取得する。DUT1のシステムクロックを入力するフリップ・フロップ21a~21nと、一定のタイミング間隔で遅延させたストロブをFF21に順次入力し、時系列のレベルデータを出力させる遅延回路22と、FF21から出力される時系列のレベルデータを入力し、エッジタイミングを示す位置データに符号化するエンコーダ28を備えるタイムインターポレータ20と、エンコーダ28の位置データを順次格納し所定のタイミングで出力する複数のレジスタ41a~41nを備え、レジスタ41からの位置データをリカバリクロックとして出力するデジタルフィルタ40と、リカバリクロックを選択信号としてDUT1の出力データを選択するデータ側セクタ30を備える構成としてある。

## 明 細 書

## 半導体試験装置

## 技術分野

- 5 本発明は、被試験デバイスから出力される出力データを所定の期待値データと比較して、当該被試験デバイスの良否を判定する半導体試験装置に関し、特に、デバイスのシステムクロックよりも高速な内部クロックのデータレートでデータが出力される、例えばODR (Octal Data Rate) 型デバイスに代表されるような高速デバイスの試験に好適な半導体試験装置に関する。

10

## 背景技術

- 一般に、半導体デバイスの試験を行う半導体試験装置 (LSI テスタ) は、試験対象となる被試験デバイス (DUT : Device Under Test) に所定の試験パターン信号を入力し、当該被試験デバイスから出力される出力データを所定の期待値パターン信号と比較して、その一致、不一致を判定することにより、当該被試験
- 15 デバイスの良否を検出、判定するようになっている。

第8図を参照して、この種の半導体試験装置について説明する。同図は、従来の一般的な半導体試験装置 (LSI テスタ) の概略構成を示すブロック図である。

- 同図に示すように、従来のLSI テスタ110は、被試験デバイス (DUT)
- 20 101の出力データを比較電圧とレベル比較するレベルコンパレータ111と、被試験デバイス101の出力データを所定の期待値と比較するパターン比較器112、及び被試験デバイス101の出力データを所定のタイミングでパターン比較器112に入力するためのフリップ・フロップ121等を有している。

- このような構成からなる従来の半導体試験装置では、まず、図示しないパターン発生器から被試験デバイス101に所定の試験パターン信号が入力され、被試験デバイス101から所定の信号が出力データとして出力される。被試験デバイス101から出力された出力データはレベルコンパレータ111に入力される。レベルコンパレータ111に入力された出力データは、比較電圧とレベル比較され、フリップ・フロップ121に出力される。

- 30 フリップ・フロップ121では、レベルコンパレータ111からの信号が入力

データとして保持され、図示しないタイミング発生器からのストローブをクロック信号として、所定のタイミングで出力データが出力される。フリップ・フロップ 1 2 1 から出力された出力データは、パターン比較器 1 1 2 に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果  
5 が出力される。この比較結果により、出力データと期待値との一致、不一致が検出され、被試験デバイス 1 0 1 の良否 ( P a s s / F a i l ) の判定が行われる。

このように、従来の半導体試験装置 ( L S I テスタ ) では、被試験デバイスから出力される出力データは、テスト内部で予め定められたタイミングで出力されるストローブのタイミングで取得されるようになっており、このストローブは、  
10 被試験デバイスと独立に設けられたタイミング発生器から出力されるタイミング信号となっていた。ところが、このようにテストから出力される独立したタイミング信号によって被試験デバイスの出力データを取得する従来の半導体試験装置では、デバイス内部でシステムクロックよりも高速な内部クロックが生成され、  
15 その内部クロックのタイミングで出力データが出力される高速デバイスの試験に対応できないという問題が発生した。

近年、 L S I の高速化の進展が著しく、データ転送の高速化を図るため、例えば O D R ( Octal Data Rate ) 型デバイスに代表される新たな半導体デバイスが提供されている。この種のデバイスは、第 9 図に示すように、 P L L 回路等によってデバイス 1 0 1 のシステムクロックの  $n$  倍の周波数の内部クロックが生成され、システムクロックよりも高速な内部クロックのタイミングでデータ出力が行われるようになっている。例えば、 O D R 型のデバイスでは、システムクロックの 4 倍の内部クロックが生成され、更にこの内部クロックの立ち上がり立ち下  
20 がりの両エッジに同期して D D R ( Double Data Rate ) でデータが出力されることで、システムクロックの 8 倍のデータレートのデータ出力が実現されている。 D D R は、各クロック信号の立ち上がりエッジと立ち下がりエッジの双方のタイミングでデータ転送を行う方式で、クロックの立ち上がりエッジ ( 又は立ち下がりエッジ ) のみでデータ転送を行う S D R ( Single Data Rate ) 方式と比べて、  
25 同じクロックサイクルで 2 倍のデータ転送が可能となるものである。

30 このようなデバイスについて試験を行う場合には、デバイスのシステムクロック

クの立ち上がり及び立ち下りの両エッジタイミングで、かつ、システムクロックの数倍の周波数で出力される内部クロックのデータレートでデータを取得しなければならない。

しかしながら、上述したように、従来の半導体試験装置では、被試験デバイス  
5 からの出力データは、被試験デバイスとは独立したタイミング発生器から出力されるタイミング信号によって取得されるようになっていた。このため、出力データを被試験デバイスから出力されるクロックのエッジタイミングで取得すること  
も、システムクロックの数倍の周波数の内部クロックのデータレートで取得すること  
もできなかった。

10 すなわち、従来の半導体試験装置の構成では、システムクロックのエッジタイミングで、かつ、システムクロックよりも高速な内部クロックのデータレートでデータ出力が行われるデバイスについて試験を実施することができなかった。

本発明は、このような従来の技術が有する問題を解決するために提案されたものであり、被試験デバイスから出力されるシステムクロックを取得し、当該システムクロックの立ち上がりや立ち下りのエッジタイミングで、システムクロックより高速の内部クロックの周波数のリカバリクロックを取得することにより、システムクロックのエッジタイミングで、かつ、システムクロックよりも高速な内部クロックのデータレートでデータが出力される被試験デバイス、例えばOD  
20 R (Octal Data Rate) 型デバイスに代表されるような高速デバイスの試験を可能とした半導体試験装置の提供を目的とする。

#### 発明の開示

上記目的を達成するため、本発明の半導体試験装置は、請求の範囲第1項に記載する  
25 ように、被試験デバイスから出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロブによって取得し、時系列のレベルデータとして出力するとともに、当該レベルデータの立ち上がりエッジ及び  
／又は立ち下りエッジのエッジタイミングを示すレベルデータを選択的に入力し、選択されたレベルデータのエッジタイミングを示す位置データを出力する第  
30 一のタイムインターポレータと、被試験デバイスから出力される出力データを入

力し、この出力データを一定のタイミング間隔を有する複数のストロブによって取得し、時系列のレベルデータとして出力する第二のタイムインターポレータと、第一のタイムインターポレータから出力される位置データを入力、保持し、  
5 又は二以上の位置データから、所定のエッジタイミングを示すリカバリクロックを出力するデジタルフィルタと、第二のタイムインターポレータから出力される時系列のレベルデータを入力し、当該レベルデータをデジタルフィルタから出力されるリカバリクロックのエッジタイミングで選択して被試験デバイスの被測定データとして出力するデータ選択回路と、を備える構成としてある。

このような構成からなる本発明の半導体試験装置によれば、まず、第一及び第二のタイムインターポレータを備えることにより、被試験デバイスから出力されるクロック及び出力データを、時系列のレベルデータとして取得することができる。この時系列のレベルデータは、被試験デバイスのクロック（及び出力データ）の信号変化点であるエッジタイミングを示すものである。従って、タイムインターポレータに被試験デバイスから出力されるシステムクロック信号を入力し、  
15 そのエッジタイミングを示すレベルデータ及び位置データを取得することにより、当該位置データを、被試験デバイスの出力データを取得するためのタイミング信号として用いることができる。

特に本発明では、エッジセレクタを備え、タイムインターポレータで取得される時系列のレベルデータを、①クロックの立ち上がりエッジ、②立ち下がりエッジ、又は、③立ち上がり及び立ち下がり両エッジのタイミングを示すレベルデータとして選択的に出力することができる。これにより、被試験デバイスのクロックの立ち上がりエッジ及び立ち下がりエッジの双方のエッジタイミングで出力データを取り込むことが可能となり、DDR型デバイスにも対応できるようになる。

25 また、このようにクロックの立ち上がりエッジと立ち下がりエッジのレベルデータを選択的に出力可能とすることで、例えばDDR型デバイスにおいて立ち下がりエッジ（又は立ち上がりエッジ）の精度が悪い場合に、立ち上がりエッジ（又は立ち下がりエッジ）のみを用いて出力データを取り込むことも可能となる。

そして、本発明の試験装置では、更にデジタルフィルタを備えることにより、  
30 タイムインターポレータで取得されるクロックの位置データを保持、格納し、例

例えばシステムクロックの $n$ 倍の周波数等の所望のタイミングに補正されたりリカバリクロックとして出力することができる。

- 第一のタイムインターポレータでは、クロックのエッジタイミングを示すレベルデータ及び位置データを取得することができるが、例えば、被試験デバイスが
- 5 システムクロックの $n$ 倍の周波数の内部クロックに従ってデータを出力する場合、 $1/n$ の周波数のシステムクロックのエッジタイミングが得られても、 $n$ サイクルに1回の立ち上がりエッジ又は立ち下がりエッジしか検出できず、他のサイクルでは信号変化点（立ち上がりエッジ又は立ち下がりエッジ）が検出できず、その結果、 $n$ 倍の周波数の内部クロックのタイミングエッジは $n$ サイクルに1回しか取得できないことになる。

また、被試験デバイスから出力されるクロック信号はジッタを有しており、取得されるレベルデータ及び位置データが示すエッジタイミングが、試験データを取得するためのタイミング信号として適正なタイミングとならない場合もある。

- そこで、タイムインターポレータで取得される被試験デバイスのシステムクロックの位置データをディジタルフィルタに入力、格納することにより、例えばシ
- 15 ステムクロックの $n$ 倍の周波数の内部クロックに対応した周期のエッジタイミングを示すクロック信号であって、正確かつ適正なタイミングに補正されたりリカバリクロックを出力させることができる。そして、このリカバリクロックを選択信号として被試験デバイスの出力データを選択するデータ選択回路を備えることで、
- 20 タイムインターポレータで取得される出力データの時系列のレベルデータを、所定の期待値データと比較される被測定データとして選択、出力することができる。

- これにより、被試験デバイスから出力される出力データが当該デバイスから出力されるシステムクロックより高速の内部クロックに基づいて出力される場合にも、また、システムクロックがジッタにより変動した場合にも、所望の周波数で
- 25 適正なエッジタイミングを示すリカバリクロックを出力することができる。

- このように、本発明に係る半導体試験装置によれば、被試験デバイスのシステムクロックの周波数やジッタの影響等に左右されない所望のリカバリクロックを取得でき、このリカバリクロックを用いて被試験デバイスの出力データを取り込むことが可能となり、ODR型デバイス等の高速化された半導体デバイスであつ
- 30 ても、容易かつ確実に正確な試験を実施できるようになる。

- 具体的には、請求の範囲第2項に記載するように、第一のタイムインターポレータは、被試験デバイスから出力されるクロックを入力する並列に接続された複数の順序回路と、一定のタイミング間隔で遅延させたストローブを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、複数の順序回路から出力される時系列のレベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がり及び立ち下がりエッジを示すレベルデータを選択的に出力するエッジセクタと、エッジセクタで選択されるレベルデータを入力し、エッジタイミングを示す位置データに符号化して出力するエンコーダと、を備え、デジタルフィルタは、
- 5 第一のタイムインターポレータから出力される位置データを順次格納するとともに、格納された位置データを所定のタイミングで出力する、直列に接続された一又は二以上のレジスタを備え、このレジスタから出力される一又は二以上の位置データから、所定のエッジタイミングを示すリカバリクロックを出力し、第二のタイムインターポレータは、被試験デバイスから出力される出力データを入力する並列に接続された複数の順序回路と、一定のタイミング間隔で遅延させたスト
- 10 ローブを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を備え、データ選択回路は、デジタルフィルタから出力されるリカバリクロックを選択信号として、第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、被試験デバイスの被測定データとして出力するセクタを備える構成としてある。
- 15 また、請求の範囲第3項に記載するように、エッジセクタは、一の順序回路の反転出力と次段の順序回路の非反転出力を入力する第一のAND回路と、一の順序回路の非反転出力と次段の順序回路の反転出力を入力する第二のAND回路と、第一及び第二のAND回路の出力を入力するOR回路と、第一のAND回路、
- 20 第二のAND回路及びOR回路の出力のいずれかを選択するセクタとからなる、一又は二以上のセクタ回路からなる構成としてある。
- このような構成からなる本発明の半導体試験装置によれば、エッジセクタを含む第一及び第二のタイムインターポレータ、デジタルフィルタ及びデータ選択回路を、順序回路や遅延回路、エンコーダ、レジスタ、セクタ、AND回路、
- 30 OR回路等、既存の手段を用いて簡単に構成することができる。これにより、L

SI テスタが複雑化、大型化、高コスト化等することなく、簡易な構成によって本発明に係る半導体試験装置を実現することができる。

また、このように順序回路や遅延回路、レジスタで構成される本発明の半導体試験装置によれば、順序回路やレジスタの数、遅延回路の遅延量を変更すること  
5 で、タイムインターポレータ及びデジタルフィルタにおける時系列のレベルデータや位置データのビット幅（順序回路、レジスタの数）や分解能（遅延回路の遅延量）を任意の値に設定することができる。これにより、データレートやジッタ幅等に応じて種々の設定が可能となり、あらゆるLSIにも対応できる汎用性、利便性の高い半導体試験装置を実現することが可能となる。

10 なお、タイムインターポレータ及びデジタルフィルタに備えられる順序回路やレジスタは、フリップ・フロップやラッチ等、既存の回路を用いて簡単に構成することができる。但し、被試験デバイスからの出力データを一定のタイミング間隔で取得して時系列のレベルデータとして出力できる限り、また、エッジタイミングを示す位置データを保持、格納して所定のタイミングで出力できる限り、  
15 フリップ・フロップやラッチの他、どのような回路構成とすることもできる。

そして、本発明の半導体試験装置は、請求の範囲第4項に記載するように、デジタルフィルタは、第一のタイムインターポレータから入力される位置データのエッジの有無を検出し、エッジが検出された場合に、レジスタに格納された位置データを出力させるエッジ検出回路を備える構成としてある。

20 このような構成からなる本発明の半導体試験装置によれば、エッジ検出回路を備えることで、第一のタイムインターポレータで取得されるクロックの位置データのうち、信号変化点を示すエッジが検出された位置データのみを、リカバリクロックの基準となる位置データとしてレジスタに格納、出力させることができる。

例えばODR型デバイスのシステムクロックの場合、出力データのデータレート  
25 トの1/8となる。このため、第一のタイムインターポレータで取得されるシステムクロックの立ち上がり又は立ち下がりエッジの位置データのみでは、出力データの立ち上がり及び立ち下がりエッジの8回に1回分しか信号変化点（立ち上がりエッジ及び立ち下がりエッジ）が検出されないことになり、8倍のデータレートで出力される出力データを取得することができない。

30 そこで、本発明では、取得される位置データのエッジの有無を検出するエッジ

検出回路を備え、エッジが検出された位置データをレジスタに格納し、この位置データに基づいて内部クロックの周波数タイミングでリカバリクロックを出力するようにしてある。これによって、被試験デバイスのシステムクロックのエッジタイミングを所定の周波数で出力し、被試験デバイスの出力データのデータレー

5 トに対応したリカバリクロックを出力することができる。

また、このようにエッジが検出されたシステムクロックの位置データに基づいてリカバリクロックを出力することで、例えば、取得された位置データの平均値を求めてリカバリクロックとして出力する場合にも、実際のシステムクロックのエッジタイミングを反映した正確なタイミングを示すリカバリクロックを出力す

10 ることができ、より正確で信頼性の高い半導体試験を実施できる。

また、請求の範囲第5項に記載するように、ディジタルフィルタのレジスタは、エッジ検出回路で検出される位置データのエッジの有無に拘わらず、格納している位置データを所定のタイミングで出力する構成としてある。

このような構成からなる本発明の半導体試験装置によれば、第一のタイムイン

15 ターポレータで取得されるクロックの位置データの信号変化点を示すエッジが検出されない場合に、レジスタに既に格納されている前サイクルのクロックの位置データを所定のタイミングで出力させることができ、この前サイクルの位置データに基づいてリカバリクロックを出力することができる。

第一のタイムインターポレータから出力されるクロックの位置データのうち、

20 上述した請求の範囲第4項のように、エッジが検出された位置データのみをレジスタに格納してリカバリクロックの基準とすることもできるが、例えばジッタの影響等により位置データのエッジが検出されない場合などに、取得できる位置データが少なくなったり、位置データを取得できる周期も一定とならないことがある。このため、例えば複数の位置データの平均値を求めてリカバリクロックを出

25 力する場合に、正確なリカバリクロックを出力させるためにレジスタを多数備える必要が生じる。そこで、本発明では、取得される位置データのエッジが検出されない場合には、既に前サイクルで格納されているエッジが検出された位置データをレジスタから出力させ、その位置データに基づいてリカバリクロックを出力することができるようにしてある。

30 これにより、実際に取得される位置データのエッジタイミングを反映しつつ、

位置データの取得周期を一定とし、レジスタの設置数の最適化を図ることができ、テスト構成が複雑化、大型化、高コスト化等することなく、簡易な構成で、信頼性の高い半導体試験装置を実現できる。

- なお、第一のタイムインターポレータのクロックの位置データのエッジが検出
- 5    されない場合に、レジスタに格納されている前サイクルの位置データをリカバリクロックの基準として出力させるか否かは切替可能に構成できる。これにより、例えば被試験デバイスのクロックの実際のエッジタイミングのみを用いることで、より厳密な機能試験やジッタ解析等を行うような場合には、エッジが検出された
- 10    クロックデータを検査するロジック試験を行うような場合には、既に格納されている前サイクルの位置データも使用するというように、試験内容等に応じて位置データを選択的に採用することができる。

- また、請求の範囲第6項に記載するように、レジスタが二以上備えられる場合に、デジタルフィルタは、二以上のレジスタからそれぞれ出力される位置データ
- 15    を入力し、各位置データが示すエッジタイミングの平均値を算出し、当該平均値を前記リカバリクロックとして出力する平均値算出回路を備える構成としてある。

- このような構成からなる本発明の半導体試験装置によれば、デジタルフィルタに複数のレジスタと、各レジスタの位置データを入力する平均値算出回路を備
- 20    えることで、タイムインターポレータから出力される位置データを複数のレジスタに格納し、この複数の位置データの平均値を算出してリカバリクロックとして出力できる。これにより、複数の位置データが示すエッジタイミングの平均値を本発明に係るリカバリクロックとして用いることができ、各被試験デバイスの実際のシステムクロックのエッジタイミングを反映した正確かつ適正なタイミング
- 25    信号とすることが可能となり、クロックのエッジが検出されない場合や、ジッタによりエッジタイミングが変動した場合にも、被試験デバイスのクロックのエッジタイミングを正確に示すリカバリクロックを取得することができる。

- また、請求の範囲第7項に記載するように、デジタルフィルタは、二以上のレジスタのうち一のレジスタから出力される位置データと、平均値算出回路から
- 30    出力される平均値のいずれか一方を選択してリカバリクロックとして出力する平

均値切替スイッチを備える構成としてある。

このような構成からなる本発明の半導体試験装置によれば、平均値切替スイッチを備えることで、ディジタルフィルタから出力されるリカバリクロックとして、特定のレジスタから出力される位置データと、複数のレジスタの位置データの平

5 均値とを、選択的に切り替えて出力させることができる。

これにより、例えば、被試験デバイスのシステムクロックのジッタによるタイミング変動を考慮した機能試験を行うような場合には、複数のレジスタの平均値をリカバリクロックとして出力し、ジッタによるタイミング変動に拘わらず、被試験デバイスのシステムクロックや出力データ自体を検査するロジック試験を行

10 うような場合には、複数のレジスタのうち、一のレジスタから出力される位置データをリカバリクロックとして使用するというように、試験内容等に応じてリカバリクロックを選択的に使い分けることが可能となり、より汎用性、拡張性に優れた半導体試験装置を実現することができる。

また、請求の範囲第8項に記載するように、ディジタルフィルタは、レジスタ

15 から出力される位置データに所定の補正値を加算し、当該位置データが示すエッジタイミングを補正してリカバリクロックとして出力するタイミング補正回路を備える構成としてある。

このような構成からなる本発明の半導体試験装置によれば、タイミング補正回路を備えることにより、一のレジスタから出力される位置データや、二以上のレ

20 ジスタから出力される位置データの平均値に対して、セットアップタイムやホールドタイム等を加味した設定値（補正値）を加算し、適正なエッジタイミングに補正されたリカバリクロックを出力させることができる。

一般に、出力データをクロック信号により安定的に取得するためには、クロックに対する出力データのセットアップタイム（又はホールドタイム）を考慮する

25 必要がある。そこで、本発明では、ディジタルフィルタのレジスタから出力される位置データに対して、セットアップタイムやホールドタイムの設定値を加算するタイミング補正回路を備えることにより、出力データのセットアップタイムやホールドタイムを加味して適正なエッジタイミングに補正されたリカバリクロックを出力できるようにしてある。これにより、タイムインターポレータから出力

30 される時系列のレベルデータを、より適正なタイミングに補正されたリカバリク

ロックによって取得することができ、より正確で信頼性の高い半導体試験装置を提供することができる。

また、請求の範囲第9項に記載するように、本発明の半導体試験装置では、デジタルフィルタから出力されるリカバリクロックを複数入力し、各リカバリクロックの示すエッジタイミングの位相差を検出して、被試験デバイスのクロックのジッタを取得するジッタ検出回路を備える構成としてある。

このような構成からなる本発明の半導体試験装置によれば、複数のリカバリクロックを入力するジッタ検出回路を備えることにより、各リカバリクロックのエッジタイミングを示す位置データを減算処理することで、リカバリクロック間の位相差を検出することができる。また、この位相差の分布を取得し、位相差のばらつきや広がりを示す分布データとして出力することができる。リカバリクロックの位相差は、被試験デバイスのシステムクロックのジッタを示すものであり、リカバリクロックの位相差とその分布データを取得することにより、被試験デバイスのクロック及び出力データジッタ解析を行うことが可能となる。

これにより、本発明では、例えば、オシロスコープ等の操作による誤差や測定作業の困難性等、既存のジッタ測定器を用いる場合のような問題が生じることなく、容易かつ正確、確実に、精度の高い被試験デバイスの出力データ及びクロックのジッタ解析を行うことができる。

さらに、本発明の半導体試験装置は、請求の範囲第10項に記載するように、第一及び第二のタイムインターポレータをそれぞれ接続し、当該第一及び第二のタイムインターポレータから出力されるデータを所定のデータ選択回路に分配するバスを備える構成としてある。

このような構成とすることにより、本発明の半導体試験装置では、第一、第二のタイムインターポレータから出力される時系列のレベルデータは、バスを介してデータ選択回路に振り分けて入力することができ、所望のクロックを所望の出力データに割り当ててデータ選択回路に入力して被測定データを取得することができる。これにより、被試験デバイスに応じて第一、第二のタイムインターポレータ及びデータ選択回路が複数備えられる場合にも、各クロック及び出力データを任意に組み合わせて被測定データを取り込むことができ、より汎用性、利便性の高いLSIテストを実現することができる。

### 図面の簡単な説明

第1図は、本発明の第一実施形態に係る半導体試験装置の構成を示すブロック図である。

- 5 第2図は、被試験デバイスのシステムクロックから得られるリカバリクロックのタイミングで内部クロックに従って出力される出力データを取得する Hold Edge モードの動作例を示す信号図である。

第3図は、Hold Edge モードの動作例を示す信号図で、エッジセクタのモードとして SDR : Rise Edge を選択した場合である。

- 10 第4図は、Hold Edge モードの動作例を示す信号図で、エッジセクタのモードとして DDR : Both Edge を選択した場合である。

第5図は、デジタルフィルタのモード切替スイッチを Direct Edge に切替えた場合にシステムクロックのエッジタイミングで出力データを取得する場合の信号図で、(a) はクロックのエッジタイミングを立ち上がりエッジで、(b) は立ち上がり及び立ち下りの両エッジでデータを取得する場合である。

- 15 第6図は、エッジセクタのモードを SDR : Rise Edge モードに切替えてデジタルフィルタにおいてシステムクロックの立ち上がり及び立ち下りのエッジタイミングでリカバリクロックを取得する場合の信号図である。

- 20 第7図は、本発明の第二実施形態に係る半導体試験装置の構成を示すブロック図である。

第8図は、従来の一般的な半導体試験装置の概略構成を示すブロック図である。

第9図は、システムクロックより高速な内部クロックのデータレートでデータを出力する半導体デバイスの概略構成を示すブロック図である。

- 25 発明を実施するための最良の形態

以下、本発明に係る半導体試験装置の好ましい実施形態について、図面を参照しつつ説明する。

#### [第一実施形態]

- まず、第1図～第6図を参照して、本発明に係る半導体試験装置の第一実施形態について説明する。
- 30

第1図は、本発明の第一実施形態に係る半導体試験装置の構成を示すブロック図である。同図に示すように、本実施形態に係る半導体試験装置は、被試験デバイス(DUT)1の機能試験を行うLSIテスト10を備えており、LSIテスト10が被試験デバイス1から出力される出力データを被測定データとして取得し、これを所定の期待値データと比較することにより、当該被試験デバイス1の良否を判定するようになっている。

被試験デバイス1は、図示しないパターン発生器等から信号が入力されることにより所定の出力データを出力するとともに、クロック信号(システムクロック)を出力するようになっている。

10 このようにLSI自体からクロックが出力されるものとして、例えば上述した「RapidIO」(登録商標)や「HyperTransport」(登録商標)等を使用したLSIや、バス・システムをPCIバスから「RapidIO」に変換するためのブリッジLSI等があり、本実施形態の試験装置では、このようなデバイスの試験が行えるようになっている。

15 そして、本実施形態の被試験デバイス1は、第9図で示したデバイスのように、PLL回路等によってシステムクロックの $n$ 倍の周波数の内部クロックが生成され、システムクロックよりも高速な内部クロックのタイミングでデータ出力が行われるデバイスを構成するようになっている。

この種のデバイスとしては、例えばODR型のデバイスがある。ODR型デバイスは、システムクロックの4倍の内部クロックが生成され、更にこの内部クロックの立ち上がり立ち下りの両エッジに同期してデータが出力される(DDR: Double Data Rate)ことで、システムクロックの8倍のデータレートのデータ出力が実現されるようになっている。本実施形態の半導体試験装置では、このようなODR型デバイスについても正確な試験が行えるようになっている。

25 LSIテスト10は、被試験デバイス1から出力されるクロック及び出力データを各チャンネル(各ソースシンクロナス回路)に入力することで、被試験デバイス1のシステムクロックから所望の周波数で、かつ、適正なエッジタイミングを示すリカバリクロックを取り出し、当該リカバリクロックが示すタイミングで出力データを取得して、被測定データとして出力できるようにしたものである。

30 具体的には、LSIテスト10は、第1図に示すように、被試験デバイス1か

ら出力されるクロック信号を入力するクロック側のソースシンクロナス回路（クロックリカバリ回路）10aを備えるとともに、被試験デバイス1から出力される出力データを入力するデータ側のソースシンクロナス回路10b, 10c... 10n（図示せず）を備えている。

- 5 各ソースシンクロナス回路10a, 10b, 10c... は、クロック側にデジタルフィルタ40が備えられることを除いて同様の構成となっており、被試験デバイス1から出力されるクロック又は出力データを、それぞれ一定のタイミング間隔を有する複数のストロークで取得して、時系列のレベルデータとして出力するとともに、当該時系列のレベルデータを用いて被試験デバイス1のクロックのエッジタイミングで出力データを選択、取得できるようになっている。

- 10 各ソースシンクロナス回路10a, 10b, 10c... は、被試験デバイス1から出力される各クロック及び出力データについてパーピン対応となっており、それぞれほぼ同一構成の回路が一つずつ割り当てられるようになっている。

- 本実施形態では、第1図に示すように、被試験デバイス1のクロック側に一つ  
15 のソースシンクロナス回路10aが備えられるとともに、被試験デバイス1の出力データ側に1～n個のソースシンクロナス回路10b, 10c... が備えられている。クロック側のソースシンクロナス回路10aは、データ側のソースシンクロナス回路10b, 10c... と異なり、デジタルフィルタ40を備えたクロックリカバリ回路を構成している。

- 20 そして、各ソースシンクロナス回路10a, 10b, 10c... が、タイムインターポレータ・バス50を介して相互に接続されており、後述するように、タイムインターポレータ・バス50の制御により、所定のチャンネル（ソースシンクロナス回路）間で信号の入出力が行われるようになっている。

- 各ソースシンクロナス回路は、第1図に示すように、クロック側、出力側とも、  
25 それぞれがほぼ同一の構成となっており、具体的には、レベルコンパレータ11と、パターン比較器12を備えるとともに、タイムインターポレータ20、及びデジタルフィルタ40を備えている。

- レベルコンパレータ11は、従来のLSIテストの場合と同様、被試験デバイス1からの出力信号（クロック又は出力データ）を入力し、所定の比較電圧とレ  
30 ベル比較して、タイムインターポレータ20に信号を出力する。

パターン比較器 12 は、後述するタイムインターポレータ 20 及びデジタルフィルタ 40 を介してセクタ 30 で選択された被試験デバイス 1 の出力データを所定の期待値と比較し、試験結果を出力する。

タイムインターポレータ 20 は、被試験デバイス 1 から出力されるクロック又は出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する。

具体的には、タイムインターポレータ 20 は、複数の順序回路となるフリップ・フロップ 21 a ~ 21 n と、遅延回路 22, エッジセクタ 23 及びエンコーダ 28 を備えている。

10 複数のフリップ・フロップ 21 a ~ 21 n は、本実施形態では並列に接続された D 型フリップ・フロップ群からなり、それぞれレベルコンパレータ 11 を介して被試験デバイスから出力される出力信号（クロック又は出力データ）を、入力データとして入力する。そして、遅延回路 22 を介して入力されるストロープをクロック信号として、所定のタイミングで入力されたデータを出力する。

15 なお、複数のフリップ・フロップ 21 a ~ 21 n の一番目のフリップ・フロップ 21 a は初期値用で、後述するセクタ 30 には二番目以降のフリップ・フロップ 21 b ~ 21 n の出力データが入力される。

ここで、各タイムインターポレータ 20 に備えられる複数の順序回路としては、本実施形態のフリップ・フロップ 21 a ~ 21 n 以外の順序回路、例えば、ラッ

20 チによって構成することもできる。

このようにタイムインターポレータ 20 の順序回路としてラッチを備えるようにしても、本実施形態の場合と同様の効果を奏することができる。

また、タイムインターポレータ 20 に備えられる順序回路は、被試験デバイス 1 からのクロック及び出力データを一定のタイミング間隔で取得し、時系列のレベルデータとして出力できる限り、本実施形態で示したフリップ・フロップ 21 a ~ 21 n やラッチの他、どのような回路構成であっても良い。

25 遅延回路 22 は、一定のタイミング間隔で遅延させたストロープを複数のフリップ・フロップ 21 a ~ 21 n のクロック端子に順次入力し、当該フリップ・フロップ 21 a ~ 21 n から時系列のレベルデータを出力させる。

30 ここで、複数のフリップ・フロップ 21 a ~ 21 n の数及び遅延回路 22 の遅

延量は任意に設定、変更することができ、タイムインターポレータ 20 で取得される時系列のレベルデータのビット幅（順序回路の数）や分解能（遅延回路の遅延量）を所望の値に設定することができる。

- これにより、試験対象となる被試験デバイス 1 のデータレートやジッタ幅等に  
5 応じて、取得される時系列のレベルデータを種々に設定でき、どのような L S I にも対応が可能となっている。

- また、フリップ・フロップ 21 a ~ 21 n に入力されるストローブは任意のタイミング、周波数に設定でき、クロック側と出力データ側とで入力のタイミングや遅延量を異ならせることもできる。本実施形態では、ソースシンクロナス回路  
10 の各チャンネル 10 a ~ 10 n ごとに異なるタイミング発生器等を備えることにより、クロック側と出力データ側とで、それぞれ独立してストローブを入力できるようにしてある（第 1 図に示す STRB 参照）。これにより、被試験デバイス 1 から出力されるクロックと出力データの位相差に応じて適切なタイミングに調節することが可能となる。被試験デバイス 1 から出力されるクロックと出力データは、位相が常に一致しているとは限らず、例えば、セットアップタイムがマイナスとなることも、プラスとなることもある。従って、そのような場合に、ストローブのタイミングをクロック側と出力データ側とでそれぞれ異ならせることにより、位相差のあるクロックと出力データに適切なタイミングでストローブが出力されるように調節することができる。

- 20 エッジセクタ 23 は、フリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータを入力して、当該レベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がりエッジ及び立ち下がりエッジを示すレベルデータを選択的に出力するようになっている。

- 具体的には、本実施形態のエッジセクタ 23 は、二個の AND 回路 24、2  
25 5 と、一個の OR 回路 26、及び一個のセクタ 27 からなるセクタ回路群が、フリップ・フロップ 21 a ~ 21 n の出力に対応して複数備えられている。

- 第一の AND 回路 24（24 a ~ 24 n）は、第 1 図に示すように、複数のフリップ・フロップ 21 a ~ 21 n のうちの一のフリップ・フロップ（例えば 21 a）の反転出力と次段のフリップ・フロップ（例えば 21 b）の非反転出力を入  
30 力する AND 回路である。この第一の AND 回路 24 の出力が、クロックの立ち

上がりエッジを示すSDR用のレベルデータとして選択される（SDR：Rise Edgeモード）。

5 第二のAND回路25（25a～25n）は、第1図に示すように、複数のフリップ・フロップ21a～21nのうちの一のフリップ・フロップ（例えば21a）の非反転出力と次段のフリップ・フロップ（例えば21b）の反転出力を入力するAND回路である。この第二のAND回路25の出力が、クロックの立ち下がりエッジを示すSDR用のレベルデータとして選択される（SDR：Fall Edgeモード）。

10 OR回路26（26a～26n）は、第1図に示すように、第一及び第二のAND回路24、25の出力を入力するOR回路である。このOR回路26の出力が、クロックの立ち上がり及び立ち下りの双方のエッジを示すDDR用のレベルデータとして選択される（DDR：Both Edgeモード）。

15 セレクタ27（27a～27n）は、第1図に示すように、第一のAND回路24、第二のAND回路25及びOR回路26の各出力を入力し、エッジセレクト信号の切替によりいずれかを選択、出力するマルチプレクサ等からなる選択回路である。

20 このようなエッジセクタ23を備えることにより、フリップ・フロップ21a～21nを介して複数のストロークで取得される時系列のレベルデータが入力されると、セレクタ27a～27nの選択により、①第一のAND回路24の出力（立ち上がりエッジのみ；SDR：Rise Edgeモード）、②第二のAND回路25の出力（立ち下がりエッジのみ；SDR：Fall Edgeモード）、③OR回路26の出力（立ち上がり及び立ち下り双方のエッジ；DDR：Both Edgeモード）のいずれかのモードが選択されて出力され、選択されたレベルデータが示すエッジタイミングが次段のエンコーダ28で符号化される。

25 なお、エッジセクタ23を構成する複数のセレクタ回路群は、複数のフリップ・フロップ21a～21nの出力のうち、一のフリップ・フロップと次段のフリップ・フロップの出力を入力するようになっているので、セレクタ27a～27nで選択されて出力されるレベルデータは、フリップ・フロップ21a～21nから出力されるレベルデータより1ビット分少ないデータとなる。例えば、5  
30 個のフリップ・フロップ21a～21eから5ビット分のレベルデータが出力さ

れる場合、エッジセクタ 23 で選択、出力されるレベルデータは 4 個のセクタ 27 a ~ 27 d を介して出力される 4 ビットのデータとなる。

従って、エッジセクタ 23 に備えられる各回路、すなわち、第一の AND 回路 24 a ~ 24 n, 第二の AND 回路 25 a ~ 25 n, OR 回路 26 a ~ 26 n, セクタ 27 a ~ 27 n の数は、それぞれ、フリップ・フロップ 21 a ~ 21 n よりも一つ少ない数 (1 ~ n - 1 個) となる。

エンコーダ 28 は、エッジセクタ 23 の複数のセクタ 27 a ~ 27 n から出力される時系列のレベルデータを入力し、当該レベルデータを符号化して出力するようになっている。具体的には、エンコーダ 28 には、フリップ・フロップ 21 a ~ 21 n から一定間隔で順次出力されるデータが、エッジセクタ 23 の各セクタ 27 a ~ 27 n を介して順次入力され、すべてのデータが揃ったタイミングでエンコーディングを行い、その結果が出力される。

これにより、フリップ・フロップ 21 a ~ 21 n から出力された時系列のレベルデータが、エッジセクタ 23 を経由して選択され、選択されたレベルデータが符号化された位置データとして出力されることになる。

本実施形態では、クロック側のソースシンクロナス回路 10 a のエンコーダ 28 で符号化される位置データが、デジタルフィルタ 40 に入力されることで、被試験デバイス 1 のシステムロックのエッジタイミングを示すリカバリクロックが取得されるようになっている。

そして、出力データ側のソースシンクロナス回路 10 b, 10 c... では、フリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータは、セクタ 30 に入力データとしてそのまま入力されるようになっており、この出力データ側のセクタ 30 に入力されたレベルデータのうち、一のデータが、デジタルフィルタ 40 から出力されるリカバリクロックによって選択され、選択された一のデータが被試験デバイス 1 の被測定データとして出力されることになる。

なお、出力データ側のソースシンクロナス回路 10 b, 10 c... では、本実施形態ではエッジセクタ 23 とエンコーダ 28 は使用されない (第 1 図参照)。従って、出力データ側のタイムインターポレータ 20 については、エッジセクタ 23 及びエンコーダ 28 を省略することができる。

セクタ 30 は、複数のフリップ・フロップ 21 a ~ 21 n から出力される時

- 系列のレベルデータを入力データとして入力するとともに、デジタルフィルタ 40 から出力されるリカバリクロック、又はエンコーダ 28 から出力される位置データを選択信号として入力するデータ選択回路である。そして、リカバリクロック（又はエンコーダ 28 の位置データ）が示すエッジタイミング、すなわち、
- 5 被試験デバイス 1 のシステムクロックのエッジタイミングで、当該システムクロックのより高速の内部クロックの周波数タイミングで、被試験デバイス 1 の出力データを選択し、当該被試験デバイス 1 の被測定データとして取得するようになっている。

- 具体的には、セクタ 30 は、マルチプレクサ等からなり、データ入力側に複数の各フリップ・フロップのうち初期値用のフリップ・フロップ 21 a を除くフリップ・フロップ 21 b ～ 21 n の各出力が直接接続されるとともに、セレクト信号端子にはタイムインターポレータ・バス 50 が接続されている。

- そして、出力データ側のセクタ 30 には、出力データ側のフリップ・フロップ 21 a ～ 21 n から出力される時系列のレベルデータが、入力データとしてエッジセクタ 23 及びエンコーダ 28 を介さず直接入力されるとともに、タイム
- 15 インターポレータ・バス 50 の制御により、クロック側のデジタルフィルタ 40 で取得されるリカバリクロックか、又はクロック側のエンコーダ 28 で取得される位置データが選択信号として選択的に入力される。

- これにより、出力データ側のセクタ 30 では、出力データ側タイムインターポレータ 20 のフリップ・フロップ 21 a ～ 21 n から出力される時系列のレベルデータが、デジタルフィルタ 40 からのリカバリクロック、又はエンコーダ 28 からの位置データを選択信号として、一のデータが選択されることになる。

- そして、このセクタ 30 で選択された被試験デバイス 1 の出力データが、パターン比較器 12 に出力され、パターン比較器 12 で所定の期待値と比較され、
- 25 試験結果が出力されることになる。

このセクタ 30 の選択信号の切替は、後述するデジタルフィルタ 40 の切替スイッチ 47 によって行われる。

- 一方、クロック側のセクタ 30 には、クロック側のフリップ・フロップ 21 a ～ 21 n から出力される時系列のレベルデータが、入力データとしてエッジセクタ 23 及びエンコーダ 28 を介さず直接入力されるとともに、上述したディ
- 30

デジタルフィルタ 40 の切替スイッチ 47 の制御により、クロック側のエンコーダ 28 で取得される位置データ、又はクロック側のデジタルフィルタ 40 で取得されるリカバリクロックが選択信号として選択的に入力される。

これにより、クロック側のセクタ 30 では、被試験デバイス 1 のシステムクロックがデータとして選択されることになり、クロック側タイムインターポレータ 20 のフリップ・フロップ 21 a ~ 21 n から出力される時系列のレベルデータとして取得される被試験デバイス 1 のクロックを、デジタルフィルタ 40 からのリカバリクロック、又はエンコーダ 28 からの位置データを選択信号として、当該デバイスのクロックの信号変化点であるエッジタイミングを示すレベルデータによって取り込むことができる。従って、被試験デバイス 1 のクロックについて期待値が設定されている場合、セクタ 30 を介して出力されるクロックデータを、クロック側のパターン比較器 12 で所定の期待値と比較することができる。

ここで、クロック側及び出力データ側の各セクタ 30 は、タイムインターポレータ・バス 50 の制御により、入力される選択信号が切り換えられるようになっている。ここで、クロック側及び出力データ側の各セクタ 30 は、タイムインターポレータ・バス 50 の制御により、入力される選択信号が切り換えられるようになっている。

具体的には、出力データ側のセクタ 30 を使用して、被試験デバイス 1 の出力データを期待値と比較する場合には、タイムインターポレータ・バス 50 を介して、デジタルフィルタ 40 のリカバリクロック、又はクロック側のエンコーダ 28 からの信号が、選択信号として出力側のセクタ 30 に入力される。この場合、クロック側のセクタ 30 (及びパターン比較器 12) は使用されないことになる。

一方、クロック側のセクタ 30 を使用して、被試験デバイス 1 のクロックを期待値と比較する場合には、タイムインターポレータ・バス 50 の制御により、デジタルフィルタ 40 のリカバリクロック、又はクロック側のエンコーダ 28 からの信号は出力側のセクタ 30 に入力されない。この場合には、出力データ側のセクタ 30 (及びパターン比較器 12) は使用されないことになる。

このように、本実施形態では、クロック側及び出力データ側の各セクタ 30 は、試験内容等に応じてタイムインターポレータ 20 からの出力信号が選択的に入力されるようになっている。その結果、試験内容等によっては、セクタ 30 は、クロック側又は出力データ側のソースシンクロナス回路の少なくとも一方に

備えられれば良く、クロック側又は出力データ側のいずれかのセクタ30を省略することも可能となる。

デジタルフィルタ40は、クロック側のソースシンクロナス回路10aに備えられ、クロック側のタイムインターポレータ20のエンコーダ28から出力されるクロックの位置データを入力、保持し、一又は二以上の位置データから、所定のエッジタイミングを示すリカバリクロックを出力する。具体的には、デジタルフィルタ40は、複数のレジスタ41(41a~41n)と、エッジ検出回路42、エッジ切替スイッチ43、平均値算出回路44、平均値切替スイッチ45、タイミング補正回路46及びモード切替スイッチを備えている。

10 複数のレジスタ41a~41nは、第1図に示すように、直列に接続された所定数(1~n)のレジスタ群からなり、クロック側のタイムインターポレータ20のエンコーダ28から出力される位置データを順次格納するとともに、格納された位置データを所定のタイミングで出力する。例えばエンコーダ28が3ビットの位置データを出力する場合には、各レジスタ41a~41nは3ビットの位置データを15 入力、格納するとともに、所定のトリガ信号が入力されることで、格納している3ビットの位置データを出力するようになっている。

より具体的には、レジスタ41a~41nは、まず、エンコーダ28の位置データが最前段のレジスタ41aに入力、格納され、この位置データが所定のタイミングで出力されて、直列に接続された次段のレジスタ41b~41nに順次入力される。最後段のレジスタnから出力される位置データは、後述する平均値算出回路44に入力される。

また、各レジスタ41a~41nから出力される位置データは、次段のレジスタに入力されると同時に、それぞれ、平均値算出回路44にも入力されるようになっている。これによって、平均値算出回路44において、各レジスタ41a~41nの位置データが示すエッジタイミングの平均値が算出されることになる。

25 さらに、最前段のレジスタ41aから出力される位置データは、後述する平均値切替スイッチ45にも入力されるようになっている。これによって、平均値算出回路44から出力される位置データの平均値と、最前段のレジスタ41aから出力される位置データの、いずれか一方の位置データが選択されるようになって30 いる。

なお、本実施形態に係るレジスタ41a～41nの数は、任意に設定、変更することができ、レジスタ41a～41nの数に応じて取得できる位置データの数、位置データの平均値の分解能を調整することができる。

すなわち、レジスタ41a～41nは、タイムインターポレータから出力される位置データを入力する少なくとも一つのレジスタ41aを備えていれば良く、試験対象となる被試験デバイス1のデータレートやジッタ幅等に応じて最適な数とすることができる。

そして、このレジスタ41a～41nに所定のタイミングでストロープが入力され、位置データが任意のタイミングで出力されることになる。

10 エッジ検出回路42は、タイムインターポレータ20のエンコーダ28から入力される位置データのエッジの有無を検出する。そして、エッジが検出された場合に、最前段のレジスタ41aにエッジが検出された位置データを格納するとともに、各レジスタ41a～41nに既に格納されている位置データを出力させるようになっている。

15 タイムインターポレータ20で取得されるクロックの位置データは、クロックの周波数に応じて一定周期で信号変化点（立上がりエッジ又は立下がりエッジ）が検出される。従って、各レジスタ41a～41nにおいてクロック周期より高速のストロープで位置データが取得されると、信号変化点（立上がりエッジ又は立下がりエッジ）が存在しないデータも取得されることになり、その場合には、位置データにはエッジタイミングが示されないことになる。このため、このよう

20 な位置データをレジスタ41a～41nに格納したとしても、その位置データからはクロックのエッジタイミングエッジは取得できないことになる。

そこで、本実施形態では、エンコーダ28で取得される位置データのエッジの有無を検出するエッジ検出回路42を備えることにより、エッジが検出された位置データのみをレジスタ41a～41nに順次格納、出力させ、この位置データに基づいてリカバリクロックを取得するようにしてある。

25

具体的には、エッジ検出回路42は、エンコーダ28からの位置データを入力し、当該位置データのエッジの有無を検出する。そして、位置データのエッジが検出された場合には、最前段のレジスタ41aにイネーブル信号を出力して（第

30 1図に示す「E」）、最前段のレジスタ41aをデータ入力可能状態にする。こ

れによって、最前段のレジスタ 4 1 a には、エッジが検出された位置データが格納されることになる。一方、位置データのエッジが検出されない場合には、エッジ検出回路 4 2 はイネーブル信号を出力しない。従って、位置データのエッジが検出されない場合、最前段のレジスタ 4 1 a は入力不能状態となり、エッジが検出されなかった位置データはレジスタ 4 1 a に格納されない。

- 5   そして、エッジ検出回路 4 2 は、さらに、イネーブル信号をパルサ 4 2 a (第 2 図に示す「P」) に入力し、各レジスタ 4 1 a ~ 4 1 n に入力するトリガ信号に変換し、このトリガ信号を各レジスタ 4 1 a ~ 4 1 n に入力して、各レジスタ 4 1 a ~ 4 1 n に格納されている位置データを所定のタイミングで出力させる。
- 10   これにより、タイムインターポレータ 2 0 で取得された位置データのうち、信号変化点を示すエッジが検出された位置データのみが、リカバリクロックの基準となる位置データとしてレジスタ 4 1 a ~ 4 1 n に格納され、出力されることになる。そして、位置データのエッジが検出されなかった場合には、それ以降のサイクルで位置データのエッジが検出されることにより、各レジスタ 4 1 a ~ 4 1
- 15   n に格納された位置データが出力されることになる。

- このようなエッジ検出回路 4 2 を備えることで、被試験デバイス 1 のシステムクロックのエッジが検出されない場合にも、既に格納されている位置データに基づいてリカバリクロックを取得することができ、システムクロックの周波数より高速なタイミングでデータを取得する場合にも、正確なリカバリクロックを安定
- 20   的に出力させることができる。

- また、このようにエッジ検出回路 4 2 を設けてエッジが検出された位置データのみに基づいてリカバリクロックを出力させることで、後述する平均値算出回路 4 4 で位置データの平均値を求めてリカバリクロックとして出力する場合に、システムクロックの実際のエッジタイミングを反映した正確なタイミングを示すリ
- 25   カバリクロックを出力することができるようになる。

- エッジ切替スイッチ 4 3 は、エッジ検出回路 4 2 に接続され、エッジ検出回路 4 2 のパルサ 4 2 a を介して各レジスタ 4 1 a ~ 4 1 n に入力されるトリガ信号と、タイムインターポレータ 2 0 の遅延回路 2 2 から出力されるストローブとを選択的に切り替える切替え手段である。

- 30   上述したエッジ検出回路 4 2 の制御によりエッジが検出された位置データのみ

をレジスタに格納してリカバリクロックの基準とした場合、クロック周波数に応じて位置データのエッジが検出されない場合があり、取得できる位置データが少なくなることがある。そこで、本実施形態では、信号切替え手段となるエッジ切替スイッチ 4 3 を設けて、レジスタ 4 1 a ~ 4 1 n に所定のタイミングで出力されるストローブを入力できるようにしてあり、取得される位置データのエッジの有無に拘わらず、所定の位置データを順次出力してリカバリクロックを取得できるようにしてある。

具体的には、エッジ切替スイッチ 4 3 は、レジスタ 4 1 a ~ 4 1 n に格納されている位置データを出力させるタイミング信号（トリガ信号）として、上述したエッジ検出回路 4 2 のパルサ 4 2 a から出力されるトリガ信号を入力するモード（第 2 図に示す①Edge Sync Mode）と、タイムインターポレータ 2 0 の遅延回路 2 2 から出力されるストローブを入力するモード（同じく②Continuously Mode）とを切り替えるようになっている。

そして、このエッジ切替スイッチ 4 3 を切り替えて、遅延回路 2 2 のストローブを選択することにより（②Continuously Mode）、レジスタ 4 1 a ~ 4 1 n に対して、タイムインターポレータ 2 0 の遅延回路 2 2 から所定のタイミングで出力されるストローブ信号を入力し、エッジ検出の有無に拘わらず、各レジスタ 4 1 a ~ 4 1 n から位置データを出力させることができる。

この②Continuously Mode では、最前段のレジスタ 4 1 a にイネーブル信号が入力されないで、レジスタ 4 1 a に格納されている位置データはそのまま保持され、次段以降のレジスタ 4 1 b ~ 4 1 n には、その前段のレジスタ 4 1 a ~ 4 1 n - 1 から出力された位置データが格納されることになる。従って、各レジスタ 4 1 a ~ 4 1 n は、位置データのエッジが検出される場合には、上述したエッジ検出回路 4 2 における場合と同様、その位置データを順次格納、出力することになり、位置データのエッジが検出されない場合には、既に格納している前サイクルの位置データを順次出力し、次段のレジスタに格納する。その結果、この②Continuously Mode では、位置データのエッジ検出の有無に拘わらず、遅延回路 2 2 のストローブのタイミングで、エッジタイミングを示す位置データが順次出力されることになる。

このように、本実施形態では、エッジ切替スイッチ 4 3 を備えることで、タイ

ムインターポレータ 20 からの位置データのエッジが検出されない場合に、リカバリクロックの基準となるレジスタ 41 から位置データを出力させないか (① Edge Sync Mode)、レジスタに格納されている前サイクルの位置データを出力させるか (② Continuously Mode) を選択することができる。これにより、例えば、被試験デバイスのシステムクロックの実際のエッジタイミングのみを用いることで、より厳密な機能試験やジッタ解析等を行う場合には、エッジが検出された位置データのみを選択し (① Edge Sync Mode)、一定周期の平均値から被試験デバイスの出力データやクロックデータを検査するロジック試験を行う場合には、既に格納されている前サイクルの位置データも使用する (② Continuously Mode) というように、試験内容等に応じて位置データを選択的に採用できる。

平均値算出回路 44 は、複数の各レジスタ 41 a ~ 41 n からそれぞれ出力される位置データを入力し、各位置データが示すエッジタイミングの平均値を算出し、当該平均値をリカバリクロックとして出力する。具体的には、平均値算出回路 44 は、レジスタ 41 a ~ 41 n から出力される位置データを入力し、全位置データを加算する加算回路 44 a と、この加算回路 44 a の加算結果をレジスタ数 (n) で除算する除算回路 44 b とを備えている。

このような平均値算出回路 44 を備えることで、各レジスタ 41 a ~ 41 n に格納された複数の位置データの平均値を算出して、その平均値をリカバリクロックとして出力することができる。これによって、リカバリクロックを、各被試験デバイスの実際のクロックのエッジタイミングを反映した正確かつ適正なタイミング信号とすることができ、クロックのエッジが検出されない場合や、ジッタによりエッジタイミングが変動した場合にも、平均値に基づくより正確なリカバリクロックを取得することが可能となる。

平均値切替スイッチ 45 は、平均値算出回路 44 から出力される平均値と、複数のレジスタ 41 のうちのレジスタから出力される位置データのいずれか一方を選択して、リカバリクロックとして出力する切替え手段である。

具体的には、本実施形態では、平均値切替スイッチ 45 が平均値算出回路 44 の出力側と、最前段のレジスタ 41 a の出力側に選択的に接続されるようになっており、上述した複数の位置データの平均値を出力するか (第 2 図に示す ① Smoothing Mode)、最前段のレジスタ 41 a から出力される位置データ、すな

わち、現在のテストサイクルで取得された位置データを出力するか（同じく② Sampling Mode）を切り替えできるようになっている。

これにより、デジタルフィルタ 40 から出力されるリカバリクロックとして、特定のレジスタ（本実施形態では最前段のレジスタ 41 a）から出力される位置  
5 データと、複数のレジスタの位置データの平均値とを、選択的に出力させることが  
でき、試験内容等に応じてリカバリクロックを選択的に使い分けることが可能  
となる。例えば、被試験デバイスのシステムクロックについてジッタによるタイ  
ミング変動を考慮した機能試験を行うような場合には複数のレジスタの平均値を  
リカバリクロックとして出力し（①Smoothing Mode）、ジッタによるタイミン  
10 グ変動に拘わらず、被試験デバイスのクロックデータ自体を検査するロジック試  
験を行うような場合には、複数のレジスタのうち、一のレジスタ（最前段のレジ  
スタ 41 a）から出力される位置データをリカバリクロックとして使用する（②  
Sampling Mode）等の使い分けができるようになる。

タイミング補正回路 46 は、平均値切替スイッチ 45 を経て出力される位置デ  
15 ータに所定の補正値を加算し、当該位置データが示すエッジタイミングを補正し  
てリカバリクロックとして出力する。具体的には、タイミング補正回路 46 は、  
第 1 図に示すように、平均値切替スイッチ 45 の出力側に接続されており、平均  
値切替スイッチ 45 から出力される位置データに対して、補正値レジスタ（Tsd  
Thd Reg） 46 a に格納されている所定の補正値を加算するようになっている。  
20 このタイミング補正回路 46 から出力される位置データが、デジタルフィル  
タ 40 から最終的に出力されるリカバリクロックとなる。

補正値レジスタ 46 a に格納される補正値は、本実施形態では、被試験デバイ  
ス 1 の出力データのセットアップタイム及びホールドタイムを設定する設定値と  
なっている。一般に、出力データをクロック信号により安定的に取得するため  
25 は、クロックに対する出力データのセットアップタイム及びホールドタイムを考  
慮する必要がある。そこで、本実施形態では、補正値レジスタ 46 a にセットア  
ップタイム及びホールドタイムの設定値を示す補正値を格納し、一のレジスタ  
（最前段のレジスタ 41 a）から出力される位置データや、全レジスタ 41 a ～  
41 n の位置データの平均値に対して、タイミング補正回路 46 でセットアップ  
30 タイムやホールドタイムの設定値を加算できるようにしてある。

ここで、セットアップタイムやホールドタイムの設定値は、タイムインターポレータ 20 で取得されるレベルデータの分解能に応じて設定することができる。

- 例えば、被試験デバイス 1 のクロックが、8 ビットのストロープで取得される場合、その 8 ビットのストロープの範囲で、任意のビット数分だけ位置データの
- 5 エッジタイミングをずらす値として設定することができる。具体的には、設定値として“0”や“+1”、“-2”等と設定でき、このような設定値により、位置データのエッジタイミングを、例えば 8 ビットのストロープの範囲で、1 ビット分遅らせる、2 ビット分早める等の補正することができるようになる。これにより、出力データのセットアップタイムやホールドタイムを加味して適正なエッジ
- 10 タイミングに補正されたりカバリクロックを出力することができる。

このタイミング補正回路 46 から出力されるリカバリクロックが、選択信号としてセレクタ 30 に入力されることになり、タイムインターポレータ 20 から出力される時系列のレベルデータを、適正なタイミングに補正されたりカバリクロックによって取得できることになる。

- 15 モード切替スイッチ 47 は、クロック側のエンコーダ 28 から出力される位置データと、デジタルフィルタ 40 のタイミング補正回路 46 から出力されるリカバリクロックのいずれか一方を選択して、クロック側及び出力データ側のセレクタ 30 に選択信号として出力する切替え手段である。

- 具体的には、本実施形態では、モード切替スイッチ 47 がクロック側のエンコーダ 28 の出力側と、デジタルフィルタ 40 のタイミング補正回路 46 の出力側に選択的に接続されるようになっており、エンコーダ 28 の位置データを取得するか（第 1 図に示す①Direct Edge）、デジタルフィルタ 40 で得られるリカバリクロックを取得するか（同じく②Hold Edge）を切り替えできるようになっている。このモード切替スイッチ 47 の切替により、例えば、通常の SDR 型
- 20 デバイスのようにデバイスのシステムクロックのタイミングで出力データが出力されるデバイスの場合には①Direct Edge を選択し、ODR 型デバイスのようにデバイスのシステムクロックより高速の内部クロックのデータレートで出力データが出力されるデバイスを試験する場合には②Hold Edge を選択することができる。

- 30 なお、以上のようなデジタルフィルタ 40 は、本実施形態では、クロック側

のソースシンクロナス回路10aにのみ備えられ、データ側のソースシンクロナス回路10b, 10c...には備えられていない。但し、デジタルフィルタ40を出力データ側のソースシンクロナス回路10b, 10c...に備えることもできる。このようにすると、クロック側と出力データ側のソースシンクロナス回路を、まったく同一の構成とすることができ、例えばLSIテストにパーピン対応の複数のソースシンクロナス回路をすべて同一構成にすることができ、各ソースシンクロナス回路の任意のチャンネルに被試験デバイスのクロックや出力データを割り付けることが可能となり、割付け作業を容易かつ効率的に行え、また、データピンとクロックピンを任意に入れ替えて設定できるようになる。

- 10 また、出力データ側のソースシンクロナス回路10b, 10c...にもデジタルフィルタ40を備えるようにすると、例えばSERDES (Serializer and Deserializer) 等に代表される、デバイス内部で出力データにクロックが多重され、多重されたクロックのエッジタイミングで出力データが出力されるデバイスについても、多重化されたクロックをデジタルフィルタ40でリカバリすることで試験を行うことができる。

タイムインターポレータ・バス50は、クロック側のソースシンクロナス回路10aと出力データ側のソースシンクロナス回路10b, 10c...をそれぞれ接続する伝送線路である。第1図に示すように、本実施形態のタイムインターポレータ・バス50は、出力データ側の各チャンネル（ソースシンクロナス回路）のセクタ30のセレクト端子と、デジタルフィルタ40のタイミング補正回路46の出力及びクロック側のエンコーダ28の出力端子を接続しており、出力データ側の各チャンネルのいずれかのセクタ30に対して、デジタルフィルタ40のリカバリクロックか、クロック側エンコーダ28の位置データを選択信号として入力するスイッチ制御を行うようになっている。

- 25 なお、第1図では図示を省略してあるが、複数備えられるソースシンクロナス回路にデータを振り分けるタイムインターポレータ・バス50は、各ソースシンクロナス回路（各チャンネル）に対応して複数備えられる。

また、いずれのチャンネルのセクタ30にデジタルフィルタ40のリカバリクロック又はクロック側エンコーダ28の信号が選択信号として入力されるかの情報は、通常は予め与えられている。従って、その情報に従い、試験装置を使

用する前に予めスイッチをON/OFFに設定することができる。また、このON/OFFの制御情報は、図示しない制御用レジスタ等に情報を書き込んでおくことができる。

このようなタイムインターポレータ・バス50を備えることで、クロック側の  
5 デジタルフィルタ40で取得されるリカバリクロックを選択信号として、出力データ側の所望のセクタ30に入力することができる。これにより、所望のチャンネルで取得される出力データを被測定データとして取得することができる。

従って、被試験デバイス1の構成やデータレート、ジッタ幅等に応じて、セクタ30を含むソースシンクロナス回路が複数備えられる場合にも、クロックデータと出力データを任意に組み合わせて被測定データを取り込むことができる。  
10 例えば、被試験デバイス1からクロック及び出力データが複数送出される場合に、「クロック1と出力データ1」、「クロック2と出力データ2」、というように、クロックピンとデータピンを任意に入れ替えることができる。この場合、「出力データ1」については「クロック1」のタイミングで、「出力データ2」については「クロック2」のタイミングで、独立して被測定データを取得できることになる。  
15

なお、クロック側のセクタ30には、タイムインターポレータ・バス50を介することなく、モード切替スイッチ47を介して、デジタルフィルタ40のリカバリクロック、又はクロック側エンコーダ28の位置データが選択信号として  
20 て直接入力される。これによって、例えば、「クロック1」のタイミングで「クロック1」の信号が被測定データとして取得されることになる。

次に、以上のような構成からなる本実施形態に係る半導体試験装置における試験動作について説明する。

25 まず、試験装置に備えられる図示しないパターン発生器から被試験デバイス1に所定の試験パターン信号が入力されると、被試験デバイス1からパターン信号に対応する所定のクロック（システムクロック）及び出力データが出力される。

被試験デバイス1から出力されたクロック及び出力データは、出力端子ごとに接続された各ソースシンクロナス回路10a, 10b, 10c...に入力され  
30 る。

各ソースシンクロナス回路に入力されたクロック及び出力データは、レベルコンパレータ 11 に入力、比較電圧とレベル比較された後、各タイムインターポレータ 20 に入力される。

各タイムインターポレータ 20 に入力された信号（クロック又は出力データ）  
5 は、まず、並列に接続された複数のフリップ・フロップ 21 a ~ 21 n に入力される。そして、クロック又は出力データが入力される各フリップ・フロップ 21 a ~ 21 n のクロック端子には、遅延回路 22 によって一定のタイミング間隔でストロブが入力される。これによって、各フリップ・フロップ 21 a ~ 21 n からは、入力されたクロック又は出力データが時系列のレベルデータとして取得、  
10 出力されることになる。

そして、クロック側のソースシンクロナス回路 10 a では、フリップ・フロップ 21 a ~ 21 n から出力された時系列のレベルデータは、エッジセクタ 23 に入力される。

エッジセクタ 23 に入力されたレベルデータは、第一、第二の AND 回路 2  
15 4, 25 及び OR 回路 26 を介して複数の各セクタ 27 a ~ 27 n に入力され、エッジセレクト信号の切替によって一の信号が選択、出力される。このセクタ 27 a ~ 27 n から出力されるレベルデータは、当該レベルデータが示す①立ち上がりエッジのみ（第一の AND 回路 24 の出力）、②立ち下がりエッジのみ（第二の AND 回路 25 の出力）、③立ち上がり及び立ち下がりの双方のエッジ  
20 （OR 回路 26 の出力）、のいずれかのタイミングを示すレベルデータとして出力される。

このエッジセクタ 23 で取得されたレベルデータが、エンコーダ 28 に入力されて符号化される。

エンコーダ 28 で符号化されたレベルデータは、被試験デバイス 1 のシステム  
25 クロックのエッジタイミング（①立ち上がりエッジ、②立ち下がりエッジ、又は③立ち上がり及び立ち下がりの両エッジ）を示す位置データとなる。そして、この位置データが、ディジタルフィルタ 40 に入力され、適正なタイミングに補正されるリカバリクロックとして取得されることになる。

なお、フリップ・フロップ 21 a ~ 21 n から出力された時系列のレベルデー  
30 タは、そのままクロック側のセクタ 30 に入力データとして入力され、クロッ

クに期待値がある場合にはクロックデータが取得されてパターン比較器 1 2 で良否判定できるようになっている。

ディジタルフィルタ 4 0 では、エンコーダ 2 8 から出力されたシステムクロックの位置データが、最前段のレジスタ 4 1 a に入力されるとともに、順次、次段 5 のレジスタ 4 1 b ~ 4 1 n に入力される。

まず、位置データは、エッジ検出回路 4 2 に入力され、エッジの有無が検出される。このとき、エッジ切替スイッチ 4 3 の切替えにより、レジスタ 4.1 a ~ 4 1 n に格納されている位置データを出力させるタイミング信号（トリガ信号）として、エッジ検出回路 4 2 から出力されるイネーブル信号を入力する場合（第 2 10 図に示す①Edge Sync Mode）と、タイムインターポレータ 2 0 の遅延回路 2 2 から出力されるストロブ信号を入力する場合（同じく②Continuously Mode）のいずれかのモードが選択される。

①Edge Sync Mode が選択された場合には、エッジ検出回路 4 2 がエンコーダ 2 8 からの位置データを入力してエッジの有無を検出し、位置データのエッジが 15 検出された場合には、最前段のレジスタ 4 1 a にイネーブル信号を入力する。これによって、最前段のレジスタ 4 1 a には、エッジが検出された位置データのみが格納されることになる。

そして、エッジ検出回路 4 2 は、パルサ 4 2 a を介してイネーブル信号をトリガ信号に変換し、このトリガ信号を各レジスタ 4 1 a ~ 4 1 n に入力して、各レ 20 ジスタ 4 1 a ~ 4 1 n に格納されている位置データを出力させる。

これにより、タイムインターポレータ 2 0 で取得された位置データのうち、信号変化点を示すエッジが検出された位置データのみが、リカバリクロックの基準となる位置データとしてレジスタ 4 1 a ~ 4 1 n に、順次、格納、出力され、位置データのエッジが検出されなかった場合には、それ以降のサイクルで位置データのエッジが検出されることにより、各レジスタ 4 1 a ~ 4 1 n に格納された位置データが出力される。 25

一方、②Continuously Mode が選択された場合には、エッジ検出回路 4 2 でのエッジ検出の有無に拘わらず、レジスタ 4 1 a ~ 4 1 n に、タイムインターポレータ 2 0 の遅延回路 2 2 からストロブ信号が入力される。

30     そして、各レジスタ 4 1 a ~ 4 1 n では、システムクロックの位置データのエ

ッジが検出される場合には、上述したエッジ検出回路 4 2 における場合と同様、その位置データを順次格納、出力する。位置データのエッジが検出されない場合には、既に格納している前サイクルの位置データを出力し、次段のレジスタに格納する。

- 5      この結果、②Continuously Mode では、位置データのエッジ検出の有無に拘わらず、遅延回路 2 2 のストロブのタイミングで、エッジタイミングを示す位置データが継続的に出力され、各レジスタ 4 1 a ~ 4 1 n に格納、出力される。

レジスタ 4 1 a ~ 4 1 n から出力された位置データは、平均値算出回路 4 4 に入力され、各位置データが示すエッジタイミングの平均値が算出される。

- 10     そして、平均値切替スイッチ 4 5 の切替えにより、平均値算出回路 4 4 から出力される平均値を出力するか（①Smoothing Mode）、最前段のレジスタ 4 1 a から出力される位置データをそのまま出力するか（②Sampling Mode）が切り替えられ、いずれかの位置データがタイミング補正回路 4 6 に出力される。

- 15     タイミング補正回路 4 6 では、補正值レジスタ 4 6 a に格納されているセットアップタイム又はホールドタイムの設定値（補正值）を加算して、位置データを適正なエッジタイミングに補正されたリカバリクロックとして出力する。

- 20     そして、このタイミング補正回路 4 6 から出力されるリカバリクロックは、モード切替スイッチ 4 7 及びタイムインターポレータ・バス 5 0 を介して、所定の出力データ側のソースシンクロナス回路に送出され、該当する出力データ側のセクタ 3 0 に選択信号として入力されることになる。

- 25     まず、モード切替スイッチ 4 7 の切替により①Direct Edge が選択された場合には、クロック側のエンコーダ 2 8 から出力される位置データが、タイムインターポレータ・バス 5 0 を介して出力データ側のセクタ 3 0 の選択信号として入力される。これにより、出力データ側のセクタ 3 0 では、被試験デバイス 1 から出力されるシステムクロックのエッジタイミングでデバイスの出力データが選  
30     択されることになる。

- 出力データ側では、フリップ・フロップ 2 1 a ~ 2 1 n で取得された時系列のレベルデータは、初期値用のフリップ・フロップ 2 1 a のデータを除いて、そのままセクタ 3 0 に入力データとして入力され、出力データ側のセクタ 3 0 で  
30     は、クロック側のエンコーダ 2 8 からのタイミングデータを選択信号として、出

カデータを示す時系列のレベルデータの中から、一のデータを選択し、このデータが被測定データとして出力される。

これにより、このモード (①Direct Edge) では、デバイスのシステムクロックのタイミングで出力データが出力される SDR 型のデバイス試験が行える。

- 5 一方、モード切替スイッチ 47 の切替により ②Hold Edge が選択されると、クロック側のデジタルフィルタ 40 から出力されるリカバリクロックが、タイムインターポレータ・バス 50 を介して出力データ側のセクタ 30 の選択信号として入力される。これにより、出力データ側のセクタ 30 では、デジタルフィルタ 40 で取得されるリカバリクロックを選択信号として、リカバリクロックが示すエッジタイミングで被試験デバイス 1 の出力データが選択される。

従って、このモード (②Hold Edge) の場合には、ODR 型デバイスのようにデバイスのシステムクロックより高速の内部クロックのデータレートで出力データが出力されるデバイスを試験することができる。

- 出力データ側のセクタ 30 で選択、出力された出力データは、パターン比較器 12 に入力され、テスト内のパターン発生器から出力される所定の期待値データと比較され、比較結果が出力される。

- そして、この比較結果により、出力データと期待値との一致、不一致が検出され、被試験デバイス 1 の良否 (Pass/Fail) の判定が行われることになる。すなわち、セクタ 30 の出力と期待値とが一致すれば Pass の判定が、  
20 不一致の場合には Fail の判定が下されることになる。

- 同様に、クロック側のセクタ 30 では、フリップ・フロップ 21a ~ 21n で取得されたクロックの時系列のレベルデータが、初期値用のフリップ・フロップ 21a のデータを除いて、そのままクロック側のセクタ 30 に入力データとして入力されるので、クロック側のセクタ 30 では、クロック側のエンコーダ  
25 28 からの位置データ (①Direct Edge)、又はデジタルフィルタ 40 からのリカバリクロック (②Hold Edge) を選択信号として、システムクロックを示す時系列のレベルデータの中から、一のデータが選択され、このデータがクロックの被測定データとして出力される。

- これにより、クロック側のセクタ 30 から出力されるデータをパターン比較器 12 に入力することで、被試験デバイス 1 のシステムクロックを所定の期待値  
30

データと比較することができ、期待値との比較結果により、クロックデータと期待値との一致、不一致を検出して、被試験デバイス1の良否（Pass/Fail）の判定をクロック信号のみで行うことができるようになる。

## 5 [実施例]

以下、第2図～第6図を参照して、具体的な実施例を説明する。

### [Hold Edge モードの基本動作]

まず、第2図を参照して、本実施形態に係る半導体試験装置においてデジタルフィルタ40で得られるリカバリクロックを用いて被試験デバイス1の出力データを取得する場合の基本動作を説明する。第2図は、被試験デバイス1のシステムクロックから得られるリカバリクロックのタイミングで内部クロックに従って出力される出力データを取得する Hold Edge モードの動作例を示す信号図である。

この第2図に示す例では、被試験デバイス1が、システムクロックの4倍の周波数の内部クロックの立ち上がり立ち下りの両エッジに同期してデータが出力されるODR型のデバイスであり、システムクロックの8倍のデータレートで出力データが出力される場合となっている。従って、本実施形態の試験装置において、リカバリクロックを使用した Hold Edge モードで試験を行う場合である。

各ソースシンクロナス回路のタイムインターポレータ20では、被試験デバイス1から出力されるシステムクロック及び出力データを、被試験デバイス1の内部クロックの周波数タイミングで、ビット数“4”のレベルデータとして取得される。そして、タイムインターポレータ20のエッジセクタ23ではSDR : Rise Edge が選択してあり、デジタルフィルタ40では、エッジ切替スイッチ43が②Continuously Mode、平均値切替スイッチ46が①Smoothing Mode、モード切替スイッチ47が②Hold Edge としてある（第1図参照）。

第2図に示すように、まず、被試験デバイス1から出力されるシステムクロックは、クロック側のフリップ・フロップ21a～21nにより、4ビットのストロープでクロックの立ち上がりエッジのみが取得される（SDR : Rise Edge）。

同図の例では、システムクロックが“L”から“H”になるエッジタイミングが、4ビットのストロープの3ビット目の位置で取得される場合を示している。

このシステムクロックは、まず、フリップ・フロップ21a~21nに入力され、例えば“0011”（ビット数“3”の位置から“H”）のレベルデータが取得される。そして、このレベルデータがエッジセクタ23を介して選択され、エンコーダ28で、ビット数“3”を示す位置データ（例えば“10”）に符号化される。これにより、タイムインターポレータ20から出力されるタイミングデータは、例えばビット数“3”を示す位置データ“10”となる。

この位置データがデジタルフィルタ40のレジスタ41a~41nに順次入力されることになる。

デジタルフィルタ40では、エッジ切替スイッチ43で②Continuously Mode が選択してあり、位置データのエッジが検出される場合にはその位置データが、エッジが検出されない場合には前サイクルの位置データが出力され、レジスタ41a~41nには、最前段のレジスタ41aから順次、ビット数“3”を示す位置データ（例えば“10”）が格納、出力される。

また、デジタルフィルタ40では、平均値切替スイッチ46が Smoothing Mode を選択してあり、n個のレジスタから出力されるn個の位置データの平均値が算出され、その平均値ビット数“3”を示す“10”が出力される。

この平均値に対しては、タイミング補正回路46でセットアップタイムの設定値が加算される。第2図に示す例ではセットアップタイム“0”が加算される場合となっており、補正後の位置データは例えば“10”となる。

そして、この位置データがリカバリクロックとして出力され、タイムインターポレータ・バス50を介して出力データ側の各セクタ30に入力される。

出力データ側のセクタ30では、まず、タイムインターポレータ20のフリップ・フロップ21a~21nで取得される被試験デバイス1の出力データが、各入力端子に直接入力される。同時に、出力データ側の各セクタ30には、デジタルフィルタ40からリカバリクロックが選択信号として入力される。

これにより、出力データ側のセクタ30では、リカバリクロックを選択信号として、第2図に示すように、リカバリクロックが示す“10”（ビット数“3”）に対応する入力端子のデータが内部クロックのサイクルで選択され（打ち抜かれ）、その結果、セクタ30から所定の“H”又は“L”のデータが出力されることになる。

そして、このセクタ 30 から出力されるデータが、パターン比較器 12 で所定の期待値と比較され、その結果（第 2 図に示す Pass/Fail）が、図示しないフェイル解析メモリに記憶されることになる。

[Hold Edge モード]

- 5     次に、第 2 図で示した Hold Edge モードで、クロック側のエッジセクタ 23 を切替える場合の実施例を、第 3 図及び第 4 図を参照しつつ説明する。第 3 図及び第 4 図は、第 2 図と同様、Hold Edge モードの動作例を示す信号図で、第 3 図は、エッジセクタ 23 のモードとして SDR : Rise Edge を選択した場合、第 4 図は、DDR : Both Edge を選択した場合である。なお、第 3 図、第 4 図
- 10    に示す例においても、第 2 図で示した基本動作と同様、ビット数“4”のストロープで出力データを取得するようになっているが、ストロープのビット数は任意に変更することができる。

- まず、第 3 図に示すように、エッジセクタ 23 のセクタ 27 a ~ 27 n の選択信号を切り替えて、第一の AND 回路 24 の出力を選択すると（SDR :
- 15    Rise Edge）、被試験デバイス 1 のシステムクロックの立ち上がりエッジのタイミングのみの位置データが取得される。第 3 図に示す例では、システムクロックの 1 サイクル目において、クロックの“L”から“H”になるエッジタイミングが、4 ビットのストロープの“3 ビット目”の位置で取得される場合となっている。

- 20    そして、この“3 ビット目”を示す位置データ“10”がデジタルフィルタ 40 に格納され、内部クロックの周波数タイミングで出力され、この位置データがリカバリクロックとして出力データ側の各セクタ 30 に入力される。

- このように、エッジセクタ 23 で SDR : Rise Edge が選択されると、システムクロックの立ち上がりエッジのみのエッジタイミングで出力データが取得さ
- 25    れる。なお、システムクロックの立ち下がりエッジのみの位置データを取得する場合（SDR : Fall Edge）も、立ち上がりエッジのみの位置データを取得する場合と同様である。

- 次に、第 4 図に示すように、エッジセクタ 23 のセクタ 27 a ~ 27 n の選択信号を切り替えて、OR 回路 26 の出力を選択すると（DDR : Both
- 30    Edge）、被試験デバイス 1 のシステムクロックの立ち上がり及び立ち下がりの

両エッジのタイミングの位置データが取得される。第4図に示す例では、システムクロックの1サイクル目において、クロックが“L”から“H”になるエッジタイミングが、4ビットのストローブの“3ビット目”の位置で取得され、クロックが“H”から“L”になるエッジタイミングが、4ビットのストローブの

5 “2ビット目”の位置で取得される場合となっている。

そして、この立ち上がりエッジ“3ビット目”を示す位置データ（例えば“10”）と、立ち下がりエッジ“2ビット目”を示す位置データ（例えば“01”）がデジタルフィルタ40に順次格納され、内部クロックの周波数タイミングで出力される。そして、この位置データがリカバリクロックとして出力データ側の各セクタ30に入力される。

10

このDDR: Both Edge では、被試験デバイス1の出力データは、第4図に示すように、内部クロックの1～2サイクル目では、立ち上がり及び立ち下りの“3ビット目”のエッジタイミングで出力データが取得され、3～4サイクル目では、立ち上がり及び立ち下りの“2ビット目”のエッジタイミングで出力データが取得されるようになる。従って、この場合には、第3図で示したSDR: Rise Edge（又は Fall Edge）の場合と比較して、更にトラッキング性能を向上させたデータ取得が可能となる。

15

#### [Direct Edge モード]

次に、本実施形態の試験装置で、デジタルフィルタ40のモード切替スイッチ47をDirect Edgeに切替えた場合の実施例を、第5図を参照しつつ説明する。第5図は、デジタルフィルタ40のモード切替スイッチ47をDirect Edgeに切替えた場合にシステムクロックのエッジタイミングで出力データを取得する場合の信号図であり、（a）はクロックのエッジタイミングを立ち上がりエッジで、（b）は立ち上がり及び立ち下りの両エッジでデータを取得する場合である。

20

本実施形態の試験装置では、モード切替スイッチ47をDirect Edgeに切替えることにより、クロック側のエンコーダ28で取得される位置データが出力側のセクタに入力され、通常のSDRやDDR型デバイスのようにデバイスのシステムクロックに同期したタイミングで出力データが出力されるデバイスの試験を行うことができる。

25

30 まず、第5図（a）に示すように、SDR型のデバイスに対して、クロックの

立ち上がりエッジのタイミングで出力データを取得する場合には、エッジセクタ 23 のセクタ 27 a ~ 27 n の選択信号を切り替えて、第一の AND 回路 24 の出力を選択する (SDR : Rise Edge)。これにより、被試験デバイス 1 の出力データは、被試験デバイス 1 のクロックの立ち上がりエッジのタイミングで  
5 取得されることになる。

第 5 図 (a) に示す例では、1 サイクル目は 8 ビットのストローブの “3 ビット目” の位置のタイミングで、2 サイクル目も同様に “3 ビット目” の位置のタイミングで出力データが取得される。

なお、SDR 型のデバイスに対して、クロックの立ち下がりエッジのタイミングで出力データを取得する場合には、エッジセクタ 23 のセクタ 27 a ~ 27 n の選択信号を切り替えて、第二の AND 回路 25 の出力を選択する (SDR : Fall Edge) ことで、同様に行うことができる。

次に、DDR 型のデバイスに対して、システムクロックの立ち上がり及び立ち下がりの双方のエッジタイミングで出力データを取得する場合には、エッジセクタ 23 のセクタ 27 a ~ 27 n の選択信号を切り替えて、OR 回路 26 の出力を選択する (DDR : Both Edge)。これにより、被試験デバイス 1 の出力データは、被試験デバイス 1 のクロックの立ち上がり及び立ち下がりエッジの双方のタイミングで取得されることになる。

第 5 図 (b) に示す例では、1 サイクル目はクロックの立ち上がりエッジで 4 ビットのストローブの “3 ビット目” のタイミングで、立ち下がりエッジで 4 ビットの “3 ビット目” の位置のタイミングで出力データが取得される。

同様に、2 サイクル目はクロックの立ち上がりエッジで 4 ビットの “3 ビット目” のタイミングで、立ち下がりエッジでも “3 ビット目” の位置のタイミングで出力データが取得される。これにより、通常の DDR 型デバイスの出力データをシステムクロックに同期した DDR のタイミングで取得することができる。

なお、以上のような通常の SDR や DDR 型デバイスについて、デジタルフィルタ 40 で得られるリカバリクロックを使用して試験を行うことも勿論可能である。DDR 型デバイスについて、デジタルフィルタ 40 で取得されるリカバリクロックを用いることで、例えばシステムクロックの立ち上がりエッジ又は立ち下がりエッジのいずれかの精度が悪いデバイスの場合に、精度の良いエッジタ  
30

イミングのみを使用してデータを取得することが可能となる。

例えば、第6図（a）に示すように、システムクロックの立ち下がりエッジの精度が悪い場合、この立ち下がりエッジのタイミングでデータを取得すると、データのタイミングが正常でもF a i l となってしまう。

- 5      そこで、このような場合には、エッジセクタ23をSDR : Rise Edge モードに切替え、デジタルフィルタ40においてシステムクロックの立ち上がりのエッジタイミングでリカバリクロックを取得する。そして、このリカバリクロックのエッジタイミングで出力データを取得することで、第6図（b）に示すように、出力データをDDRのデータレートで、かつ、精度の良いシステムクロック
- 10    の立ち上がりエッジのタイミングで取得することができる。

- 以上説明したように、本実施形態に係る半導体試験装置によれば、まず、ソースシンクロナス回路の各チャンネルにタイムインターポレータ20を備えることにより、被試験デバイス1から出力されるクロック及び出力データを、時系列の
- 15    レベルデータとして取得することができる。この時系列のレベルデータは、被試験デバイス1のクロック（及び出力データ）の信号変化点であるエッジタイミングを示すものである。従って、タイムインターポレータ20に被試験デバイス1から出力されるシステムクロック信号を入力し、そのエッジタイミングを示すレベルデータ及び位置データを取得することにより、当該位置データを被試験デバ
- 20    イス1の出力データを取得するタイミング信号として用いることができる。

- そして、特に本実施形態では、クロック側のタイムインターポレータ20にエッジセクタ23を備え、タイムインターポレータ20で取得される時系列のレベルデータを、クロックの立ち上がりエッジ、又は立ち下がりエッジ、又は立ち上がり及び立ち下がりの両エッジのタイミングを示すレベルデータとして選択的に
- 25    出力することができる。これにより、被試験デバイス1のクロックの立ち上がりエッジ及び立ち下がりエッジの双方のエッジタイミングで出力データを取り込むことが可能となり、DDR型デバイスにも対応できるようになる。

- さらに、本実施形態では、クロック側のソースシンクロナス回路10aにデジタルフィルタ40を備えることで、タイムインターポレータ20で取得される
- 30    クロックの位置データを保持、格納し、システムクロックの数倍の周波数で所望

のタイミングに補正されたりリカバリクロックとして出力することができる。

- クロック側のタイムインターポレータ 20 では、クロックのエッジタイミングを示すレベルデータ及び位置データを取得することができる。しかし、上述したように、被試験デバイス 1 がシステムクロックの 4 倍の周波数の内部クロックの立ち上がり及び立ち下りの両エッジタイミングでデータを出力する ODR 型デバイスの場合、 $1/4$  の周波数のシステムクロックの立ち上がりエッジ（又は立ち下りエッジ）のタイミングが得られても、8 回に 1 回の立ち上がりエッジ（又は立ち下りエッジ）しか検出できないことになる。そして、他のサイクルでは信号変化点（立ち上がり又は立ち下りエッジ）が検出できず、その結果、4 倍の周波数の内部クロックのタイミングエッジが 8 回に 1 回しか取得できないことになる。また、被試験デバイス 1 から出力されるクロック信号はジッタを有しており、クロックの位置データが示すエッジタイミングが、試験データを取得するためのタイミング信号として適正なタイミングとならない場合もある。

- そこで、クロック側のタイムインターポレータ 20 で取得される被試験デバイス 1 のシステムクロックの位置データをディジタルフィルタ 40 に入力、格納することにより、システムクロックの  $n$  倍の周波数の内部クロックに対応したエッジタイミングを示すクロック信号であって、正確かつ適正なタイミングに補正されたりリカバリクロックを出力させることができる。

- そして、このリカバリクロックを選択信号として被試験デバイス 1 の出力データを選択するセレクタ（データ選択回路）30 を備えることで、タイムインターポレータ 20 で取得される出力データの時系列のレベルデータを、所定の期待値データと比較される被測定データとして選択、出力することができる。

- これにより、被試験デバイス 1 から出力される出力データが当該デバイスから出力されるシステムクロックより高速の内部クロックに基づいて出力される場合にも、また、システムクロックがジッタにより変動した場合にも、所望の周波数の、適正なエッジタイミングを示すリカバリクロックを出力することができる。

- このようにして、本実施形態に係る半導体試験装置によれば、被試験デバイス 1 のシステムクロックの周波数やジッタの影響等に左右されない所望のリカバリクロックを取得でき、このリカバリクロックを用いて被試験デバイス 1 の出力データをとり込むことが可能となり、ODR 型デバイス等の高速化された半導体デ

バイスであっても、容易かつ確実に正確な試験を実施できるようになる。

### [第二実施形態]

次に、第7図を参照して、本発明に係る半導体試験装置の第二実施形態について説明する。

第7図は、本発明の第二実施形態に係る半導体試験装置の構成を示すブロック図である。同図に示すように、本実施形態に係る半導体試験装置は、上述した第一実施形態の変更実施形態であり、第一実施形態におけるクロック側のソースシンクロナス回路（クロックリカバリ回路）10aに、更にジッタ検出回路60を備えるようにしたものである。

従って、その他の構成部分は、第一実施形態と同様となっており、同様の構成部分については、図中で第一実施形態と同一符号を付し、詳細な説明は省略する。

ジッタ検出回路60は、デジタルフィルタ40のレジスタ41a～41nから出力されるリカバリクロックの基準となる位置データを入力し、位置データが示すエッジタイミングの位相差を検出することにより、当該位相差を被試験デバイス1のクロック（システムクロック）のジッタとして取得、解析するようになっている。具体的には、ジッタ検出回路60は、減算回路61と、ジッタリミット値レジスタ62、比較判定回路63を備えている。

減算回路61は、デジタルフィルタ40から対比する2個の位置データを入力し、各位置データが示すエッジタイミングの位相差を算出する。

デジタルフィルタ40で取得される位置データ（リカバリクロック）は、被試験デバイス1のクロックのエッジタイミングを示しており、この位置データ同士を減算することで、位置データの位相差、すなわち被試験デバイス1のクロックが有するジッタ幅を取得することができる。

例えば、被試験デバイス1から出力される出力データが7ビットのストロープで取得される場合、そのエッジタイミングを示す位置データは「-3, -2, -1, 0, +1, +2, +3」の7種類が取得されることになる。従って、この位置データ同士を減算処理すると、取得される位相差データは「-6, -5, -4, -3, -2, -1, 0, +1, +2, +3, +4, +5, +6」の13通りとなる。そして、減算回路61に、例えばエッジタイミングの位置がビット数“-

2”を示す位置データと、ビット数“+1”を示す位置データが入力された場合、これらの位置データが減算処理されると、

$$“+1” - “-2” = “+3”$$

となり、位置データの位相差が“+3”であることが算出される。

- 5     このように減算回路61で算出される位相差は、被試験デバイス1の出力データが有するジッタ幅を示すことになり、この位相差を取得することで、被試験デバイス1のジッタ解析が行えることになる。

- 10     ここで、本実施形態では、減算回路61は、デジタルフィルタ40の最前段のレジスタ41aの出力側に接続されるとともに、ジッタセレクト61aを介して、次段のレジスタ41b～41n及び平均値算出回路44の出力側のうち、い

ずれか一つに選択的に接続されるようになっている。

15     これによって、減算回路61には、最前段のレジスタ41aから出力される位置データと、次段のレジスタ41b～41nのいずれか一つの位置データが入力されて減算処理される場合（第7図に示す①Cycle To Cycle Jitter）と、最前段のレジスタ41aの位置データと、平均値算出回路44で算出された平均値を示す位置データとが減算処理される場合（第7図に示す②Cycle To Smoothing Jitter）とが切り替えできるようになっている。

ジッタリミット値レジスタ62は、減算回路61で算出される位相差と比較する所定のジッタリミット値を格納している。

- 20     比較判定回路63は、減算回路61で算出される位相差とジッタリミット値レジスタ62に格納されているジッタリミット値とを比較し、その良否（Pass/Fail）を判定する。例えば、減算回路61で算出された位相差が、ジッタリミット値を超える場合には「F a i l」と判定し、ジッタリミット値を超えない場合には「P a s s」と判定する。

- 25     そして、この比較判定回路63の判定結果は、第一実施形態で説明したパターン比較器12における良否判定結果と同様、フェイル解析メモリ等に記憶される。

- 本実施形態では、第7図に示すように、フェイル解析メモリ等への入力部に判定切替スイッチ64が備えてあり、フェイル解析メモリ等に対して、パターン比較器12における良否判定結果を記憶させるモード（第7図に示す①Data Exp
- 30     Mode）と、比較判定回路63の判定結果を記憶させるモード（同じく②Jitter

Fail Mode) を切り替えできるようになっている。

このように、本実施形態に係る半導体試験装置によれば、複数のリカバリクロックを入力するジッタ検出回路60を備えることにより、各リカバリクロックのエッジタイミングを示す位置データを減算処理することで、リカバリクロック間の位相差を検出することができる。また、ジッタ検出回路60で検出される位相差の分布を取得し、位相差のばらつきや広がりを示す分布データとして出力することができる。

リカバリクロックの位相差は、被試験デバイス1の出力データに多重されたクロック信号のジッタを示すものであり、このリカバリクロックの位相差とその分布データを取得することにより、被試験デバイス1の出力データ及び多重されたクロックのジッタ解析を行うことが可能となる。

これにより、本実施形態では、例えばオシロスコープ等の操作による誤差や測定作業の困難性等、既存のジッタ測定器を用いる場合のような問題が生じることなく、容易かつ正確、確実に、精度の高い被試験デバイスのクロック（又は出力データ）のジッタ解析を行うことができるようになる。

以上、本発明の半導体試験装置の好ましい実施形態について説明したが、本発明に係る半導体試験装置は上述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

例えば、上述した第二実施形態では、被試験デバイスのジッタを取得、解析するジッタ検出回路を備える試験装置を示したが、ジッタを検出、解析する手段としては、第二実施形態に示したジッタ検出回路に限定されるものではなく、他のジッタ解析手段を備えることもできる。

例えば、第二実施形態で示したジッタ検出回路で検出されるリカバリクロックの位相差を入力し、当該位相差の分布を取得して、被測定LSIの出力データのジッタの分布データとして出力する位相差分布回路を備えることができる。

また、第一、第二実施形態で示したタイムインターポレータから出力される位置データと、ディジタルフィルタから出力される対応するリカバリクロックとを入力し、当該位置データ及びリカバリクロックの示すエッジタイミングの位相差を検出して、当該位相差の分布を取得して、被試験デバイスのクロックや出力デ

ータのジッタの分布データとして出力するジッタ分布回路を備えることもできる。

すなわち、本発明に係る半導体試験装置を構成するクロックリカバリ回路は、被試験デバイスの出力データを時系列のレベルデータとして取得するタイムインターポレータと、タイムインターポレータで取得されるレベルデータに基づいて

- 5 リカバリクロックを取得、出力できるディジタルフィルタを備える限り、どのような回路や装置等と組み合わせることもできるもので、半導体試験装置としての用途、目的等は特に限定されない。

#### 産業上の利用可能性

- 10 以上説明したように、本発明の半導体試験装置によれば、タイムインターポレータ及びディジタルフィルタを備えることにより、被試験デバイスから出力されるシステムクロックを取得し、当該システムクロックの立ち上がりや立ち下りのエッジタイミングで、システムクロックより高速の内部クロックの周波数のリカバリクロックを取得することができる。
- 15 これにより、被試験デバイスのシステムクロックのエッジタイミングで、かつ、システムクロックよりも高速な内部クロックのデータレートでデータが出力される被試験デバイスの試験を確実に行うことができ、ODR型デバイスに代表されるような高速デバイスの試験に好適な半導体試験装置を提供することができる。

## 請 求 の 範 囲

1. 被試験デバイスから出力されるクロックを入力し、このクロックを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力するとともに、当該レベルデータの立ち上がりエッジ及び／又は立ち下がりエッジのエッジタイミングを示すレベルデータを選択的に入力し、選択されたレベルデータのエッジタイミングを示す位置データを出力する第一のタイムインターポレータと、
- 5 被試験デバイスから出力される出力データを入力し、この出力データを一定のタイミング間隔を有する複数のストロープによって取得し、時系列のレベルデータとして出力する第二のタイムインターポレータと、
- 10 第一のタイムインターポレータから出力される位置データを入力、保持し、一又は二以上の位置データから、所定のエッジタイミングを示すリカバリクロックを出力するデジタルフィルタと、
- 15 第二のタイムインターポレータから出力される時系列のレベルデータを入力し、当該レベルデータをデジタルフィルタから出力されるリカバリクロックのエッジタイミングで選択して被試験デバイスの被測定データとして出力するデータ選択回路と、
- を備えることを特徴とする半導体試験装置。
- 20
2. 第一のタイムインターポレータは、
- 被試験デバイスから出力されるクロックを入力する並列に接続された複数の順序回路と、一定のタイミング間隔で遅延させたストロープを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、
- 25 複数の順序回路から出力される時系列のレベルデータの、立ち上がりエッジを示すレベルデータ、立ち下がりエッジを示すレベルデータ、又は立ち上がり及び立ち下がりエッジを示すレベルデータを選択的に出力するエッジセクタと、エッジセクタで選択されるレベルデータを入力し、エッジタイミングを示す位置データに符号化して出力するエンコーダと、を備え、
- 30 デジタルフィルタは、

第一のタイムインターポレータから出力される位置データを順次格納するとともに、格納された位置データを所定のタイミングで出力する、直列に接続された一又は二以上のレジスタを備え、このレジスタから出力される一又は二以上の位置データから、所定のエッジタイミングを示すリカバリクロックを出力し、

5 第二のタイムインターポレータは、

被試験デバイスから出力される出力データを入力する並列に接続された複数の順序回路と、一定のタイミング間隔で遅延させたストロブを複数の順序回路に順次入力し、当該順序回路から時系列のレベルデータを出力させる遅延回路と、を備え、

10 データ選択回路は、

ディジタルフィルタから出力されるリカバリクロックを選択信号として、第二のタイムインターポレータから入力される時系列のレベルデータのうち、一のデータを選択し、被試験デバイスの被測定データとして出力するセクタを備える請求の範囲第1項記載の半導体試験装置。

15

3. エッジセクタは、

一の順序回路の反転出力と次段の順序回路の非反転出力を入力する第一のAND回路と、一の順序回路の非反転出力と次段の順序回路の反転出力を入力する第二のAND回路と、第一及び第二のAND回路の出力を入力するOR回路と、第一のAND回路、第二のAND回路及びOR回路の出力のいずれかを選択するセクタとからなる、一又は二以上のセクタ回路からなる請求の範囲第2項記載の半導体試験装置。

20

4. ディジタルフィルタは、

25 第一のタイムインターポレータから入力される位置データのエッジの有無を検出し、エッジが検出された場合に、レジスタに格納された位置データを出力させるエッジ検出回路を備える請求の範囲第2項又は第3項記載の半導体試験装置。

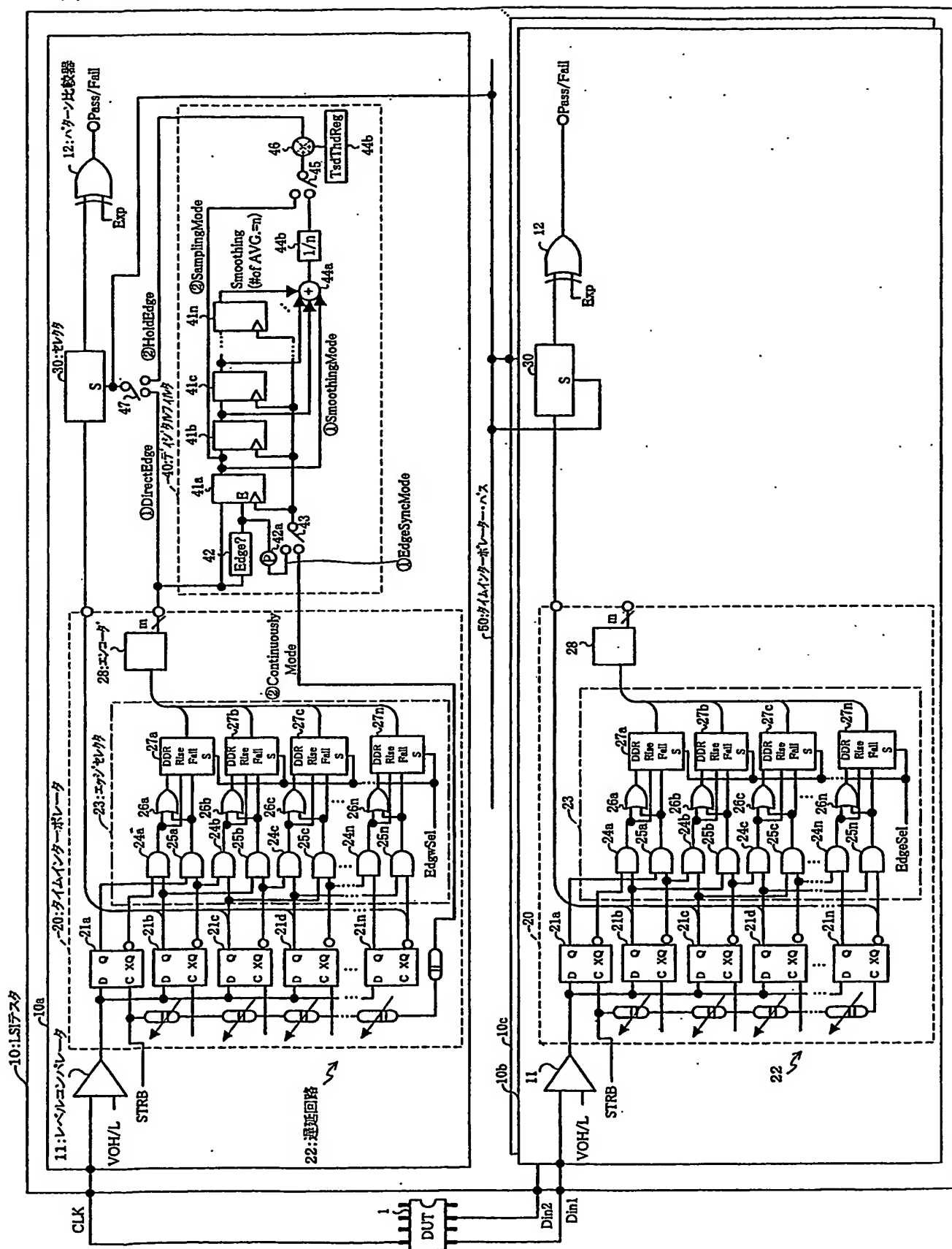
5. ディジタルフィルタのレジスタが、

30 エッジ検出回路で検出される位置データのエッジの有無に拘わらず、格納され

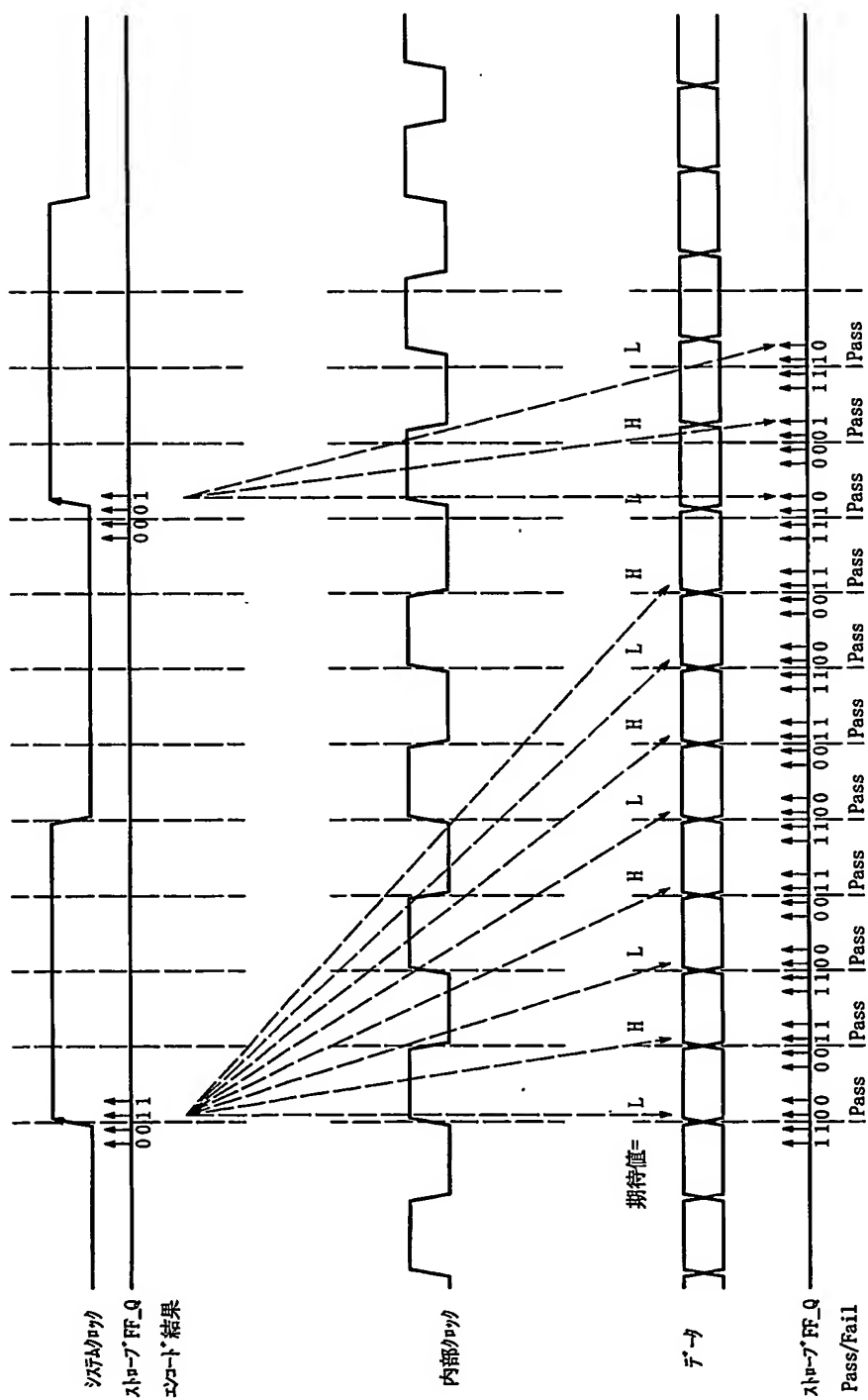
た位置データを所定のタイミングで出力する請求の範囲第4項記載の半導体試験装置。

6. レジスタが二以上備えられる場合に、デジタルフィルタは、
- 5 二以上のレジスタからそれぞれ出力される位置データを入力し、各位置データが示すエッジタイミングの平均値を算出し、当該平均値をリカバリクロックとして出力する平均値算出回路を備える請求の範囲第2項乃至第5項記載の半導体試験装置。
- 10 7. デジタルフィルタは、
- 二以上のレジスタのうち一のレジスタから出力される位置データと、平均値算出回路から出力される平均値のいずれか一方を選択してリカバリクロックとして出力する平均値切替スイッチを備える請求の範囲第6項記載の半導体試験装置。
- 15 8. デジタルフィルタは、
- レジスタから出力される位置データに所定の補正値を加算し、当該位置データが示すエッジタイミングを補正してリカバリクロックとして出力するタイミング補正回路を備える請求の範囲第2項乃至第7項記載の半導体試験装置。
- 20 9. デジタルフィルタから出力されるリカバリクロックを複数入力し、各リカバリクロックの示すエッジタイミングの位相差を検出して、被試験デバイスのクロックのジッタを取得するジッタ検出回路を備える請求の範囲第1項乃至第8項記載の半導体試験装置。
- 25 10. 第一及び第二のタイムインターポレータをそれぞれ接続し、当該第一及び第二のタイムインターポレータから出力されるデータを所定のデータ選択回路に分配するバスを備える請求の範囲第1項乃至第9項記載の半導体試験装置。

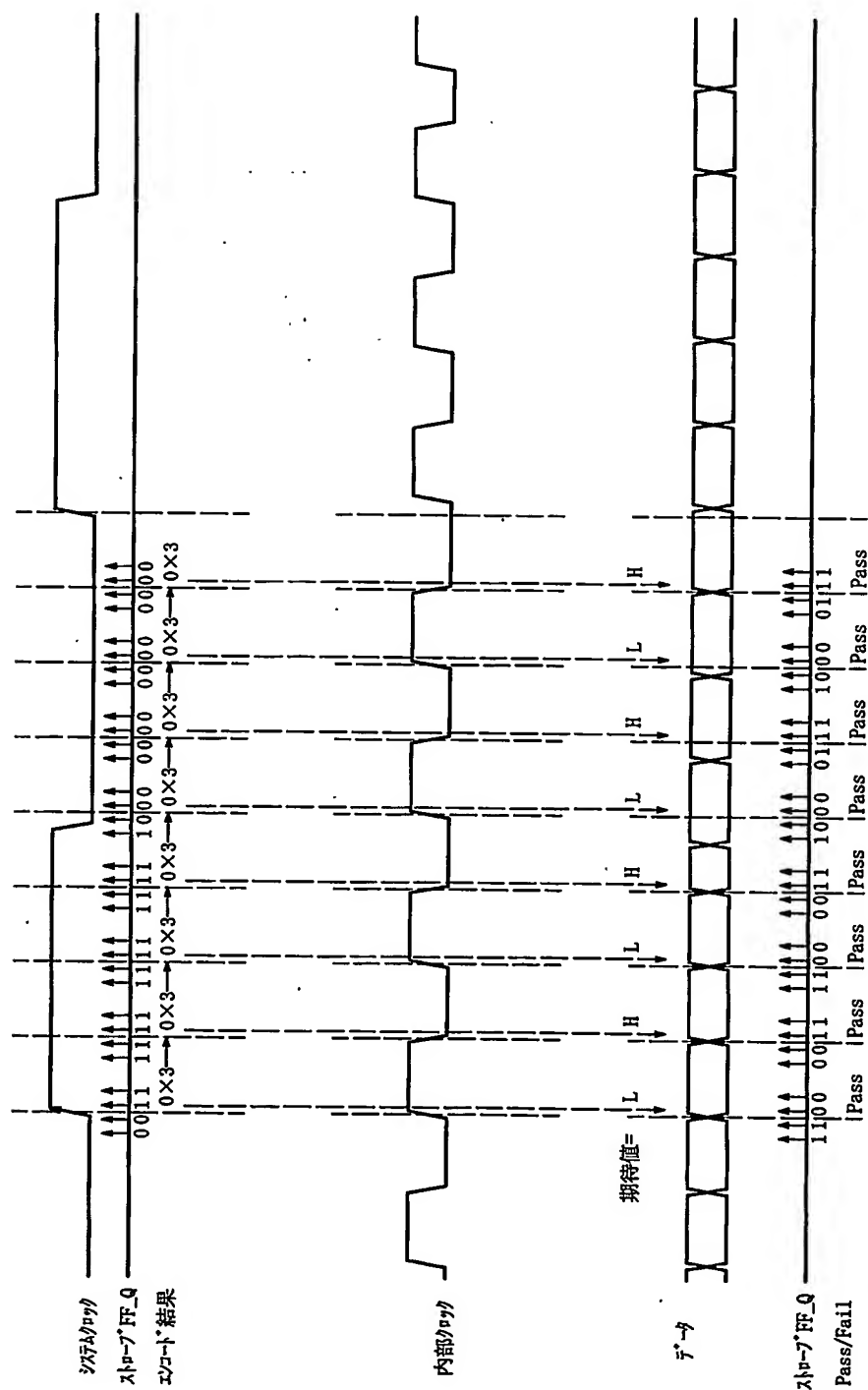
第1図



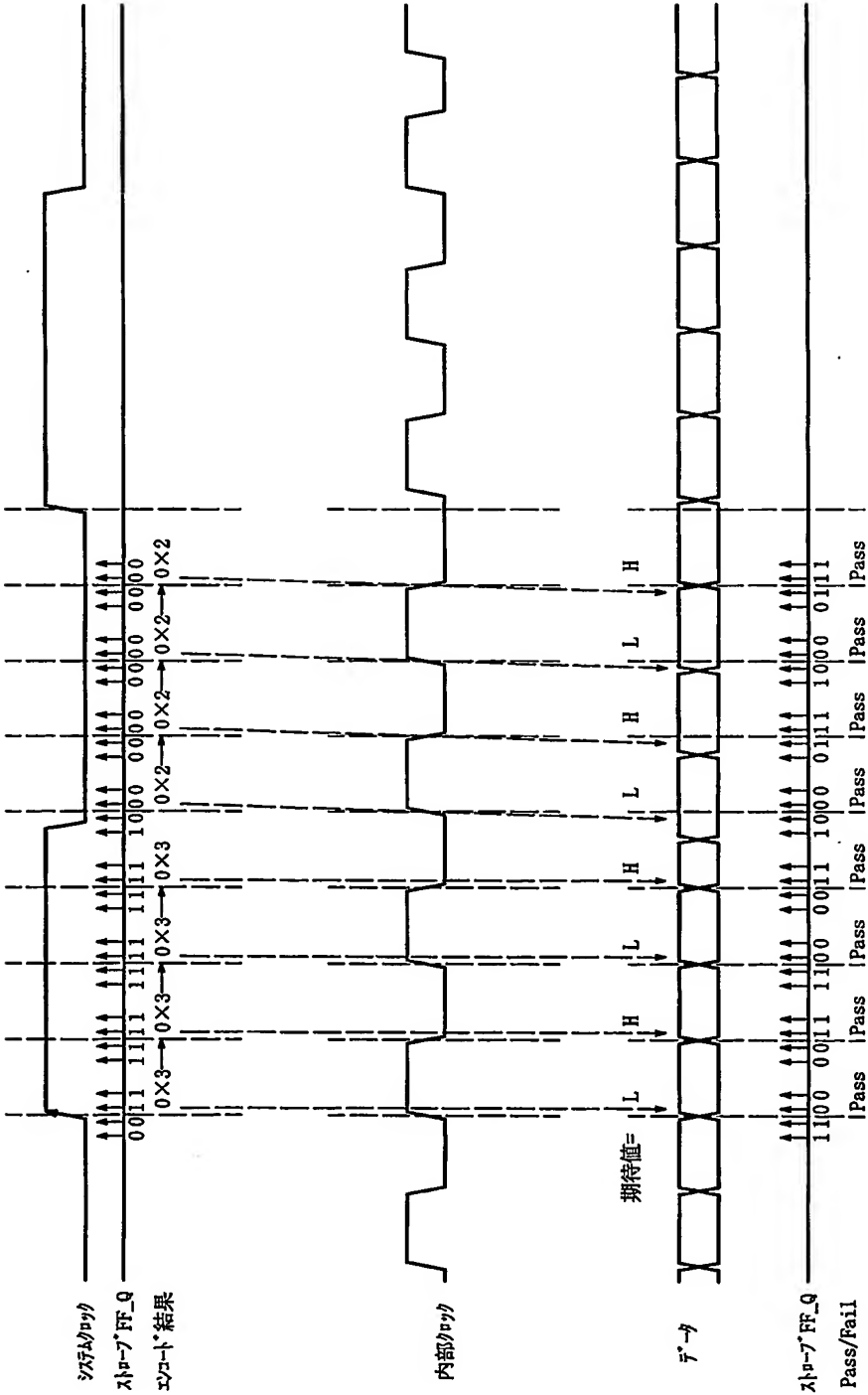
第2図



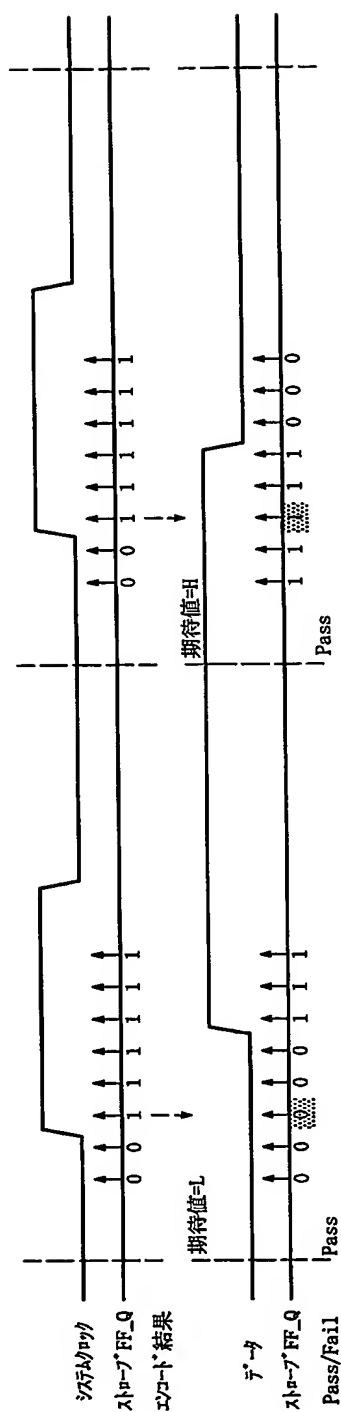
第3図



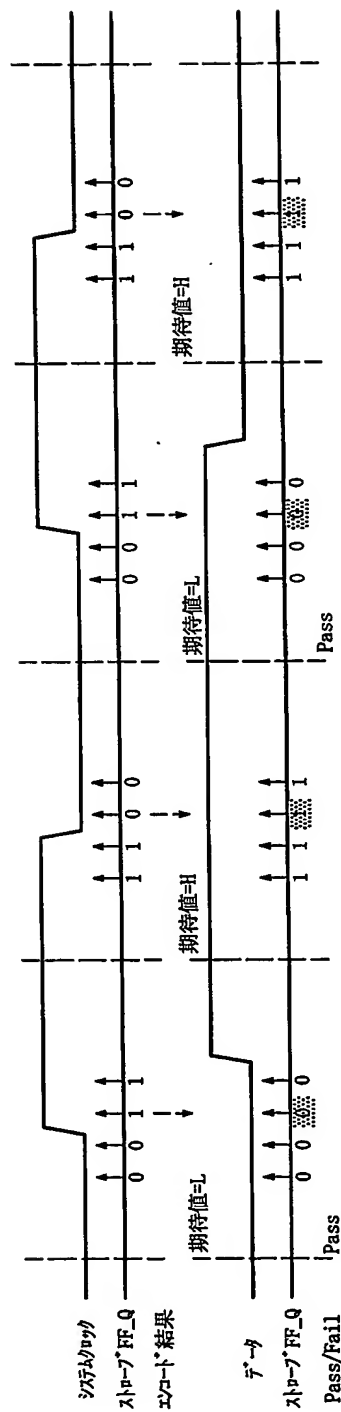
第4図



第5図

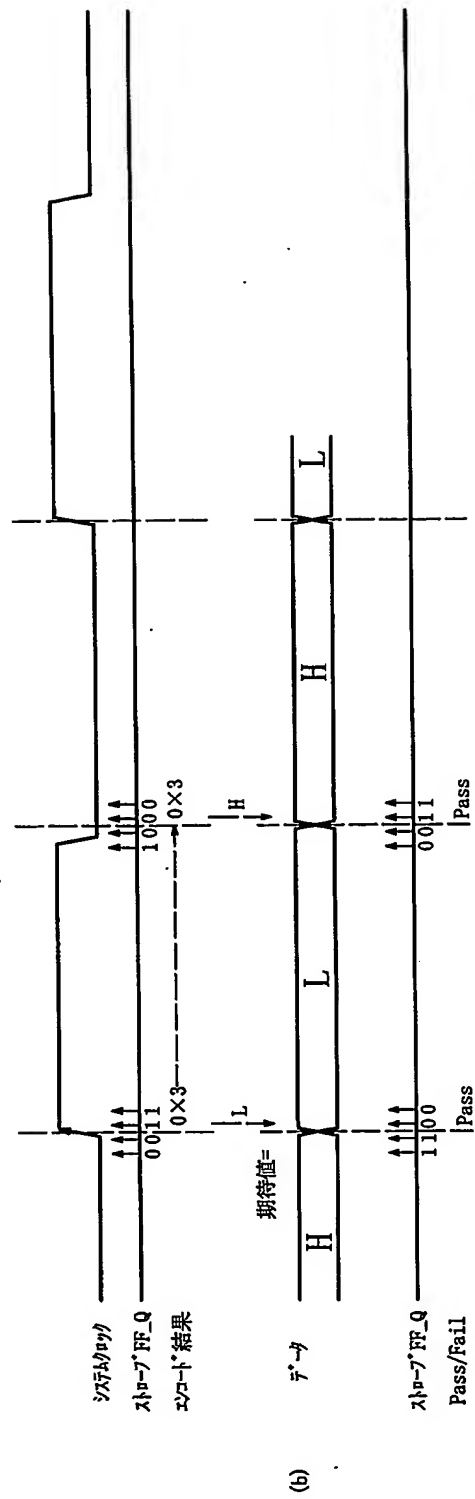
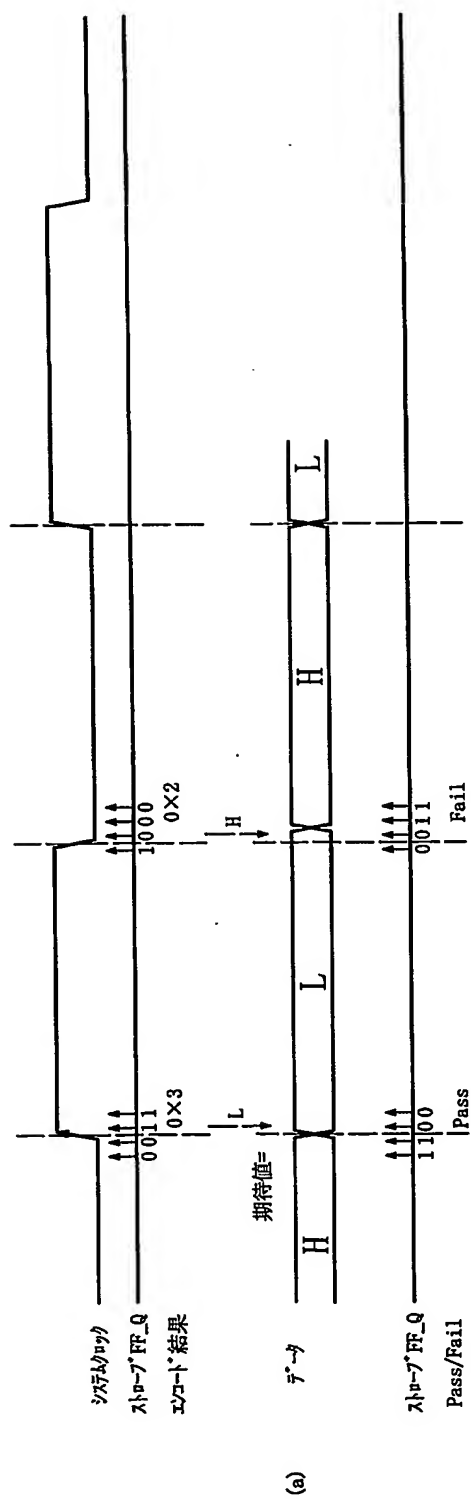


(a)

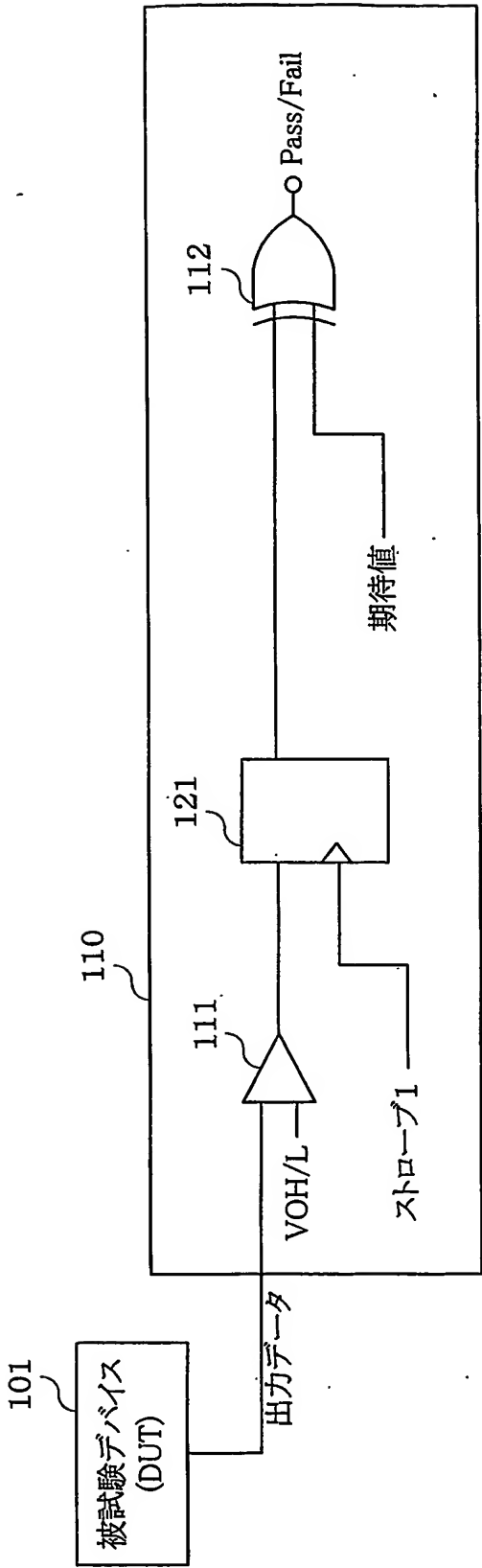


(b)

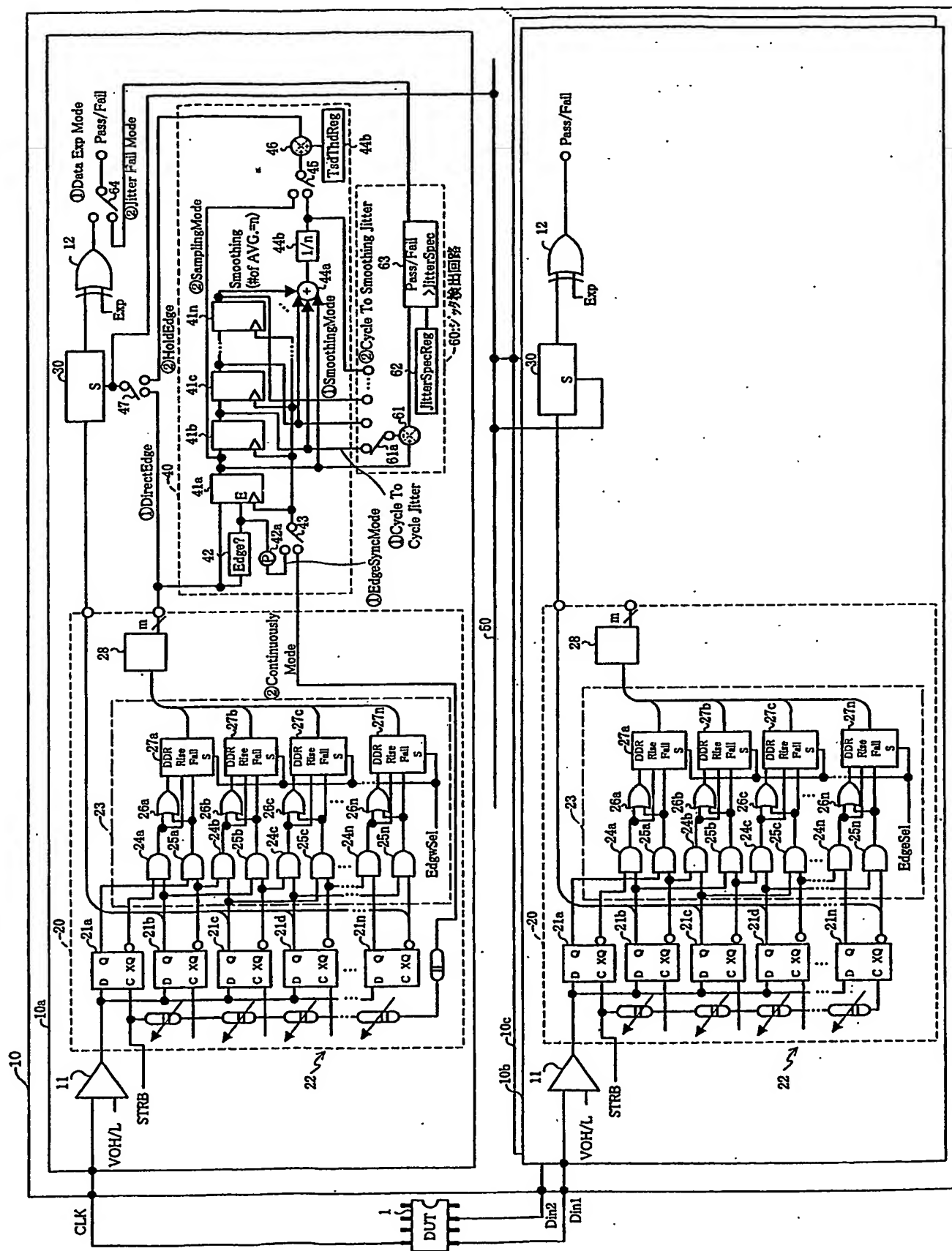
第6図



第7図

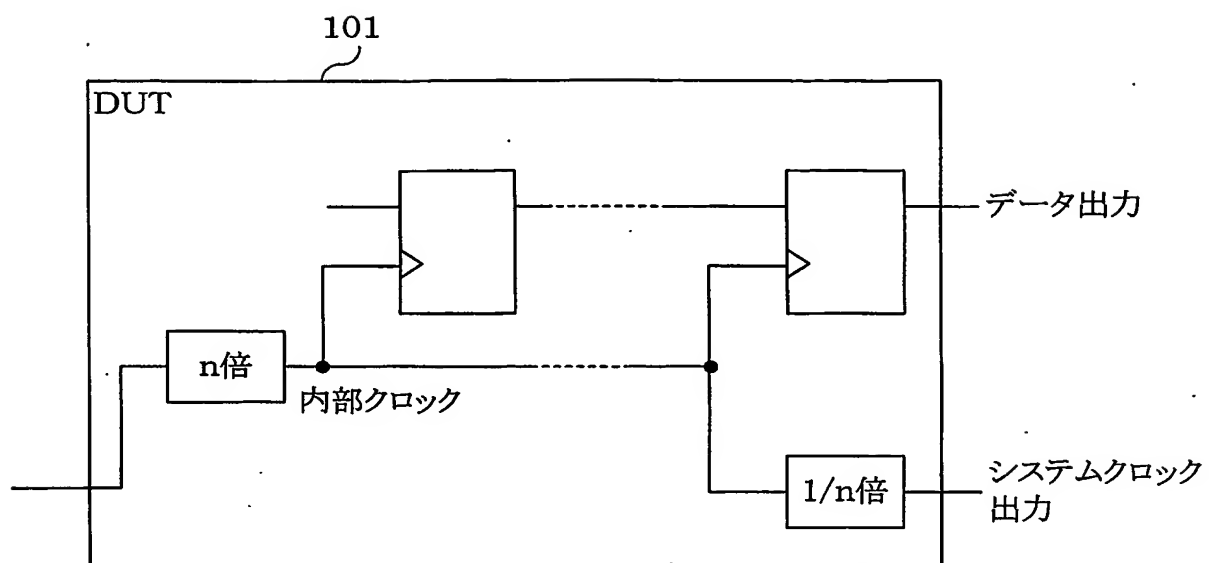


第8図



9/9

## 第9図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16900

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G01R31/3181

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G01R31/28-31/3193, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2001/0052097 A1 (Advantest Corp.), 13 December, 2001 (13.12.01), Full text; all drawings & JP 2001-201532 A & DE 10101899 A1 & CN 1329254 A	1-10

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
06 April, 2004 (06.04.04)

Date of mailing of the international search report  
20 April, 2004 (20.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R31/3181

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R31/28-31/3193Int. Cl<sup>7</sup> H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 2001/0052097 A1 (Advantest Corporation) 2001. 12. 13, 全文, 全図 & JP2001-201532 A & DE 10101899 A1 & CN 1329254 A	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

06. 04. 2004

国際調査報告の発送日

20. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

篠崎 正

2S

9106

電話番号 03-3581-1101 内線 3258